

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-276211

(43) 公開日 平成10年(1998)10月13日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 L 12/28

H 0 4 L 11/20

H

H 0 4 Q 3/00

H 0 4 Q 3/00

H 0 4 L 11/20

F

審査請求 未請求 請求項の数14 O L (全 17 頁)

(21) 出願番号

特願平9-80170

(22) 出願日

平成9年(1997)3月31日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 福原 昌友

東京都日野市旭が丘3丁目1番地の1 株

式会社東芝日野工場内

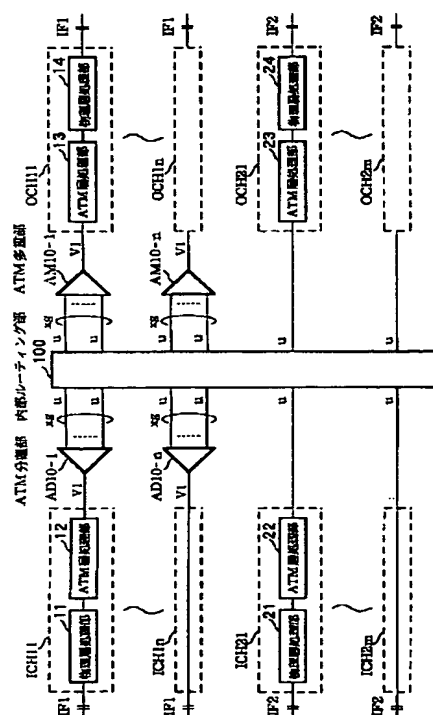
(74) 代理人 弁理士 木村 高久

(54) 【発明の名称】 ATM交換システムにおけるセル交換方法および装置

(57) 【要約】

【課題】装置全体の高速動作を要求することなしに、また、ハード規模およびコストの増大を招くことなしに、高速回線を柔軟に収容することができるATM交換システムにおけるセル交換方法および装置を提供する。

【解決手段】高速入力回線 (I F 1) から入力されたセル流をATM分離部 (A D 1 0 - 1 ~ A D 1 0 - n) でコネクション毎の複数のセル流に分離して複数の入力通話路から低速入力回線 (I F 2) からのセル流とともに内部ルーティング部 (1 0 0) に入力し、内部ルーティング部 (1 0 0) では入力通話路から入力されたセル流をルーティングして複数の出力通話路から出力し、出力通話路から出力された高速出力回線 (I F 1) に対応する複数のセル流はATM多重化部 (A M 1 0 - 1 ~ A M 1 0 - n) で多重化して高速出力回線 (I F 1) に出力する。



【特許請求の範囲】

【請求項1】 複数の入出力回線間でセルの交換を行うATM交換システムにおけるセル交換方法において、高速入力回線から入力されたセル流をATM分離部でコネクション毎の複数のセル流に分離して複数の入力通話路から低速入力回線からのセル流とともに内部ルーティング部に入力し、

内部ルーティング部では前記入力通話路から入力されたセル流をルーティングして複数の出力通話路から出力し、

前記出力通話路から出力された高速出力回線に対応する複数のセル流はATM多重化部で多重化して該高速出力回線に出力することを特徴とするATM交換システムにおけるセル交換方法。

【請求項2】 前記内部ルーティングに対する前記入力通話路および前記出力通話路の通信速度を、同一に設定することを特徴とする請求項1記載のATM交換システムにおけるセル交換方法。

【請求項3】 前記高速入力回線に対応して前記ATM分離部で分離された複数の入力通話路の全体の通信速度を、前記高速入力回線の回線速度よりも大きく設定することを特徴とする請求項1記載のATM交換システムにおけるセル交換方法。

【請求項4】 複数の入出力回線間でセルの交換を行うATM交換システムにおけるセル交換方法において、入力回線から入力されたセル流の同一コネクションに属するセルが通過するルーティングパスのパス設定数を各コネクションの通信速度に対応して増減し、該パス設定数の増減によりセル順序の逆転の可能性がある場合のみセル順序の補正を行って出力回線に出力することを特徴とするATM交換システムにおけるセル交換方法。

【請求項5】 高速入力回線に設定されたコネクションに対するルーティングパスのパス設定数は、該高速入力回線に設定されたコネクションの通信速度が低速入力回線の回線速度より小さい場合は単一に設定し、

該高速入力回線に設定されたコネクションの通信速度が低速入力回線の回線速度より大きい場合は複数の設定することを特徴とする請求項4記載のATM交換システムにおけるセル交換方法。

【請求項6】 高速入力回線から入力されたセル流をATM分離部で複数の入力通話路に分離するとともに、前記高速入力回線に設定されたコネクションの通信速度が前記低速入力回線の回線速度より小さい場合は、前記ルーティングパスを前記ATM分離部で分離された複数の入力通話路の1つに設定して該コネクションに属するセルを該1つの入力通話路を介して内部ルーティング部に入力し、

前記高速入力回線に設定されたコネクションの通信速度が前記低速入力回線の回線速度より大きい場合は、前記

ルーティングパスを前記ATM分離部で分離された複数の入力通話路の全てに設定して該コネクションに属するセルを該複数の入力通話路に順次割り当てて該複数の入力通話路を介して内部ルーティング部に入力し、前記内部ルーティング部でルーティングされて出力されるセルの中で前記ルーティングパスを前記ATM分離部で分離された複数の入力通話路の全てに設定されたコネクションに属するセルに対してのみセル順序の補正を行うことを特徴とする請求項4記載のATM交換システムにおけるセル交換方法。

【請求項7】 複数の入出力回線間でセルの交換を行うATM交換システムにおけるセル交換装置において、高速入力回線から入力されたセル流の物理層処理およびATM処理を行う高速入力回線対応部と、前記高速入力回線対応部で処理されたセル流をコネクション毎の複数のセル流に分離するATM分離部と、低速入力回線から入力されたセル流の物理層処理およびATM処理を行う低速入力回線対応部と、前記ATM分離部で分離された複数のセル流および前記低速入力回線対応部で処理されたセル流をそれぞれ複数の入力通話路を介して入力し、該セル流をルーティングして複数の出力通話路から出力する内部ルーティング部と、

前記内部ルーティング部の複数の出力通話路から出力されたセル流の中で高速出力回線に対応する複数のセル流を多重化するATM多重化部と、

前記ATM多重化部で多重化されたセル流のATM処理および物理層処理を行い高速出力回線に出力する高速出力回線対応部と、

前記内部ルーティング部の複数の出力通話路から出力されたセル流の中で低速出力回線に対応するセル流のATM処理および物理層処理を行い低速出力回線に出力する低速出力回線対応部とを具備することを特徴とするATM交換システムにおけるセル交換装置。

【請求項8】 前記内部ルーティングに対する前記入力通話路および前記出力通話路の通信速度を、同一に設定することを特徴とする請求項7記載のATM交換システムにおけるセル交換装置。

【請求項9】 前記高速入力回線に対応して前記ATM分離部で分離された複数の入力通話路の全体の通信速度を、前記高速入力回線の回線速度よりも大きく設定することを特徴とする請求項7記載のATM交換システムにおけるセル交換装置。

【請求項10】 前記低速入力回線対応部で処理された複数のセル流を多重化して前記入力通話路を介して前記内部ルーティング部に出力する低速入力回線用ATM多重化部と、

前記内部ルーティング部の複数の出力通話路から出力されたセル流の中で低速出力回線に対応する複数のセル流をコネクション毎に分離して前記低速出力回線対応部に

10

20

30

40

50

3

出力する低速入力回線用ATM分離部とを更に具備することを特徴とする請求項7記載のATM交換システムにおけるセル交換装置。

【請求項11】 複数の入出力回線間でセルの交換を行うATM交換システムにおけるセル交換装置において、高速入力回線から入力されたセル流の物理層処理およびATM処理を行う高速入力回線対応部と、

低速入力回線から入力されたセル流の物理層処理およびATM処理を行う低速入力回線対応部と、

前記高速入力回線に設定されたコネクションの通信速度が前記低速入力回線の回線速度より大きい場合は、前記高速入力回線対応部において各セルに対して到着順を識別する識別情報を付与する識別情報付与手段と、

前記高速入力回線に設定されたコネクションの通信速度が前記低速入力回線の回線速度より小さい場合は前記高速入力回線対応部で処理されたセル流をコネクション毎に単一入力通話路に出力し、前記高速入力回線に設定されたコネクションの通信速度が前記低速入力回線の回線速度より大きい場合は前記高速入力回線対応部で処理されたセル流を複数の入力通話路に順次割り当てて複数の入力通話路に出力するATM分離部と、

前記ATM分離部から出力される複数のセル流および前記低速入力回線対応部で処理されたセル流をそれぞれ複数の入力通話路を介して入力し、該セル流をルーティングして複数の出力通話路から出力する内部ルーティング部と、

前記内部ルーティング部の複数の出力通話路から出力されたセル流の中で高速出力回線に対応する複数のセル流を入力し、前記複数の入力通話路に順次割り当てられたコネクションに属するセルのセル順序が逆転したセルがあるとこれを前記識別情報付与手段で付与された識別情報に基づき検出してその補正を行って出力する再順序化制御部と、

前記再順序化制御部から出力されたセル流のATM処理および物理層処理を行い、高速出力回線に出力する高速出力回線対応部と、

前記内部ルーティング部の複数の出力通話路から出力されたセル流の中で低速出力回線に対応するセル流のATM処理および物理層処理を行い低速出力回線に出力する低速出力回線対応部とを具備することを特徴とするATM交換システムにおけるセル交換装置。

【請求項12】 前記再順序化制御部は、入力されたセルを一時的に蓄積する再順序化セルバッファと、

前記再順序化セルバッファに蓄積されたセルにセル順序が逆転したセルがあるとそのセル順序を補正して前記再順序化セルバッファから読み出す読み出し手段とを具備することを特徴とする請求項11記載のATM交換システムにおけるセル交換装置。

【請求項13】 前記再順序化セルバッファは、

4

前記高速入力回線に設定されたコネクションの通信速度が前記低速入力回線の回線速度より小さいコネクションに属するセルを蓄積するシングルコネクション用セルバッファと、

前記高速入力回線に設定されたコネクションの通信速度が前記低速入力回線の回線速度より大きいコネクションに属するセルを蓄積するグルーピングコネクション用セルバッファとを具備し、

前記読み出し手段は、

10 前記グルーピングコネクション用セルバッファに蓄積されたセルにセル順序が逆転したセルがあるとそのセル順序を補正して前記グルーピングコネクション用セルバッファから読み出すことを特徴とする請求項12記載のATM交換システムにおけるセル交換装置。

【請求項14】 前記グルーピングコネクション用セルバッファは、

前記コネクション毎と前記出力通話路毎とに二重に論理分割された複数のグルーピングコネクション用個別セルバッファからなることを特徴とする請求項13記載のATM交換システムにおけるセル交換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はATM交換システムにおけるセル交換方法および装置に関し、特に回線速度が互いに異なる回線を収容する場合において、これらの回線をコストを抑えながら柔軟に収容することができるようにしたATM交換システムにおけるセル交換方法および装置に関する。

【0002】

30 【従来の技術】最近、通信網の効率的な運用により高速な通信サービスの実現、さらには音声、画像、データ等の各種メディアを組み合わせて転送するマルチメディアサービスの柔軟な提供を実現するために、転送する情報の全てをセルと呼ばれる固定長短パケットに分解してから通信網内を高速に伝送させるATM（非同期転送モード）と呼ばれる伝送技術を用いたATM交換システムの開発が盛んに行われている。

【0003】ところで、上記ATM交換システムに要求される重要な機能の1つとして、収容する回線数と回線速度の組み合わせについて多様な収容形態を可能にすることがあげられる。

【0004】なぜならば、ATM交換システムにおける回線収容形態は、適用するネットワーク全体の構成、通信端末の配置形態、通信トラヒック量等の依存して大きく変化するからである。

【0005】特に、より高速な回線を収容可能にすることが以下に示す理由により強く要望されている。

50 【0006】1）ATM伝送方式の特徴の1つである統計多重効果を利用することにより1回線に多重化することのできるコネクション設定数は回線速度を大きくする

ほど飛躍的に増大させることができる。この結果、1コネクション当たりの通信コストを押し下げることができる。

【0007】2) 最近、情報処理装置の処理速度並びに低価格化は飛躍的に向上する傾向にあるので、通信端末の増加や高速通信端末の新規導入に伴う通信トラフィックの増加がATM交換システム導入の当初の予測を越えて早期かつ急速に発生すると考えられる。この場合、導入したATM交換システムに対してより高速な回線を新たに収容するという解決策がとれるようにすることが望ましい。

【0008】図6は、高速回線の収容を可能にするとともに、多様な回線収容形態を可能にする従来のATM交換システムの一例を示したものである。

【0009】図6において、高速回線IF1から入力されるセル流は、入力回線対応部ICH71~ICH7nの物理層処理部71およびATM層処理部72でそれぞれ所定の物理層処理およびATM層処理が施された後、内部ルーティング部100に入力される。

【0010】また、低速回線IF2から入力されるセル流は、入力回線対応部ICH81~ICH8nの物理層処理部81およびATM層処理部82でそれぞれ所定の物理層処理およびATM層処理が施された後、ATM多重化部AM80-1~AM80-Nでそれぞれ多重化され、内部ルーティング部100に入力される。

【0011】内部ルーティング部100に入力されたセル流は、各セル内に書き込まれているルーティングタグを参照することにより所望の出方路にそれぞれルーティングされる。

【0012】内部ルーティング部100によりその高速回線IF1の出力側にルーティングされたセル流は、出力回線対応部OCH71~OCH7nの物理層処理部73およびATM層処理部74でそれぞれ所定の物理層処理およびATM層処理が施され、高速回線IF1に出力される。

【0013】また、内部ルーティング部100によりその低速回線IF2の出力側にルーティングされたセル流は、ATM分離部AD80-1~AD80-Nにおいて各セル内に書き込まれているルーティングタグを参照することにより所望の出方回線へのセル流の分離が行われ、その後、出力回線対応部OCH81~OCH8nの物理層処理部83およびATM層処理部84でそれぞれ所定の物理層処理およびATM層処理が施され、低速回線IF2に出力される。

【0014】ここで、ATM多重化部AM80-1~AM80-NおよびATM分離部AD80-1~AD80-Nが低速回線IF2のシステム内通話路上に配置される一方で、高速回線IF1のシステム内通話路上には配置されない理由は、内部ルーティング部100に対する入出力路と高速回線IF1および低速回線IF2との間

で通信速度の整合を取り、内部ルーティング部100におけるセル輻輳やルーティング処理能力の無駄を避けるためである。

【0015】なお、図6に示した構成においては、高速回線IF1と低速回線IF2の2種類の回線速度を有する回線を収容する場合について示したが、ATM多重化部AM80-1~AM80-NおよびATM分離部AD80-1~AD80-Nとしてそれぞれ多重度の異なる複数種類のものを用いれば、1つのATM交換システムに対して様々な回線速度を持った回線を収容することが可能になる。

【0016】しかしながら、図6の構成においては、高速回線IF1のセル流が入力回線対応部ICH71~ICH7nを介して直接内部ルーティング部100に入力されるように構成されているため、収容できる回線の回線速度の上限は、内部ルーティング部100の入出力路の通信速度によって制限されるという問題がある。

【0017】例えば、図6に示したような構成のATM交換システムを導入した後に、高速回線IF1の回線速度を越える高速回線を新たに収容する必要が生じた場合は、これに対応することはできない。したがって、この場合は、この高速回線の回線速度に対応できるATM交換システムを新たに導入する必要があり、これはコスト的に好ましいとはいえない。

【0018】また、図6の構成において、高速回線IF1の回線速度を越える高速回線を収容することができるようにするためには、ATM交換システムの中核装置である内部ルーティング部100を更に高速化したATM交換システムが必要になるが、この場合、このATM交換システムで使用する部品全体の速度性能を向上させる必要が生じ、その実現は容易ではない。

【0019】したがって、図6に示した構成によると、このATM交換システムの導入後早期により高速な回線の収容要求が発生した場合にはこれに直ちに対応することはできないという問題があった。

【0020】図7は、高速回線の収容を可能にするとともに、多様な回線収容形態を可能にする従来の他のATM交換システムの一例を示したものである。

【0021】図7に示す構成においては、分散網SWN-1とルーティング網SWN-2とからなるスイッチ網SWNを用いて構成される。

【0022】ここで、分散網SWN-1は入力されたセルを所望の出力回線方向とは関係なくランダムに振り分ける制御を行うもので、これによりルーティング網SWN-2に対する通信負荷を分散する。

【0023】またルーティング網SWN-2は入力されたセル内に書き込まれているルーティングタグを参照することにより所望の出力回線方向に向けてセルをルーティングする制御を行う。

【0024】図7において、高速回線IF1から入力さ

10

20

30

40

50

れるセル流は、入力回線対応部ICH91～ICH9nの物理層処理部91およびATM層処理部92でそれぞれ所定の物理層処理およびATM層処理が施された後、セル分離部SD90-1～SD90-nでスイッチ網SWNの分散網SWN-1の複数の入力通話路に時分割的に分離する制御が施される。この分散網SWN-1の複数の入力通話路に対する分離は所望の出力回線方向とは関係なく行われる。

【0025】ここで、例えば、高速回線IF1の回線速度がスイッチ網SWNの1通話路当たりの通信速度のg倍であれば、セル分離部SD90-1～SD90-nで分離される分散網SWN-1の入力通話路の数はgである。

【0026】このように高速回線IF1から入力されるセル流は、スイッチ網SWN内で複数本の通話路に分離されてからルーティング網SWN-2でルーティングされるが、以後このような回線をグルーピングした回線と呼ぶ。

【0027】一方、低速回線IF2から入力されるセル流は、入力回線対応部ICH101～ICH10nの物理層処理部101およびATM層処理部102でそれぞれ所定の物理層処理およびATM層処理が施された後、スイッチ網SWNの分散網SWN-1に入力される。

【0028】スイッチ網SWNのルーティング網SWN-2によりそれぞれ所望の出力路に出力されたセルは再順序化制御部R90-1～R90-n、R100-1～R100-mに入力される。

【0029】再順序化制御部R90-1～R90-n、R100-1～R100-mは、スイッチ網SWN内で逆転が発生したセル順序を補正する制御を行う。ここで、スイッチ網SWN内でセル順序の逆転が発生する理由は、分散網SWN-1における制御によって同一コネクシオンに属するセルであってもスイッチ網SWN内におけるルーティングパスが固定的でなくなるために、それぞれのセルが経験する通過時間にばらつきが生じるためである。

【0030】このばらつきが発生する原因としては、
1) スwitch網SWNを構成する単位スイッチ間でのセル同期が必ずしも取れていないこと
2) スwitch網SWNを構成する単位スイッチ内部に置かれるブロッキング緩衝セルバッファの蓄積量が単位スイッチ間で必ずしも等しくないこと
等があげられる。

【0031】再順序化制御部R90-1～R90-n、R100-1～R100-mでセル順序が補正されたセル流は、出力回線対応部OCH91～OCH9n、OCH91～OCH9nに入力される。

【0032】そして、高速回線IF1の出力側方向にルーティングされたセルは、出力回線対応部OCH91～OCH9nの物理層処理部93およびATM層処理部9

4でそれぞれ所定の物理層処理およびATM層処理が施され、高速回線IF1に出力される。

【0033】また、低速回線IF2の出力側方向にルーティングされたセルは、出力回線対応部OCH101～OCH10nの物理層処理部103およびATM層処理部104でそれぞれ所定の物理層処理およびATM層処理が施され、低速回線IF2に出力される。

【0034】この図7に示す構成によると、スイッチ網SWNの分散網SWN-1によりルーティング網SWN-2に対する負荷が均等化されるため、グルーピングする通話路数gを大きくすることによりいくらかでも高速の回線を収容できる。

【0035】なお、図7に示した構成においては、高速回線IF1と低速回線IF2の2種類の回線速度を有する回線を収容する場合について示したが、図6に示した構成と同様に、ATM多重化部およびATM分離部を設けることにより低速回線IF2よりも低速の回線を収容することも可能である。

【0036】また、図7に示したATM交換システムの再順序化制御部R90-1～R90-n、R100-1～R100-mにおける再順序化制御は、スイッチ網SWNから出力されたセルを一時的に再順序化制御部内にあるセルバッファに蓄え、セルに書き込まれている参照値に基づいてこのセルバッファに蓄えられたセルを読み出すという制御を行う。ここで、この再順序化制御に必要な参照値としては、タイムスタンプを用いる方式とシーケンス番号を用いる方式の2種類の方式が知られている。

【0037】次に、この再順序化制御部R90-1～R90-n、R100-1～R100-mにおける再順序化制御として従来提案されている3つの方式について説明する。

【0038】1) 第1の再順序化制御方式は、再順序化制御に必要な参照値としてタイムスタンプを用いるものである。この方式においては、入力回線対応部ICH91～ICH9n、ICH101～ICH10nのATM層処理部92およびATM層処理部102にセルが到着すると、このセルにATM層処理部92およびATM層処理部102に到着した時刻が書き込まれる。以下、このセルに書き込まれる時刻のことをタイムスタンプと呼ぶ。このタイムスタンプに用いる時刻はこのATM交換システム内で一意に定まっている。

【0039】スイッチ網SWNから出力され、再順序化制御部R90-1～R90-n、R100-1～R100-mに入力されたセルは、その内部の再順序化セルバッファに書き込まれるとともに、このセルが再順序化制御部R90-1～R90-n、R100-1～R100-mに到着した時刻がその内部にある到着時刻管理テーブルに登録される。

【0040】再順序化セルバッファからのセルの読み出

10

20

30

40

50

しは、1セル周期毎に到着時刻管理テーブルを参照し、再順序化セルバッファにおけるセルの滞在時間が所定のW時間以上経過したセルが存在することが検出された場合に限り実行される。また、再順序化セルバッファでの滞在時間がW時間以上経過したセルが存在した場合、この再順序化セルバッファに蓄えられているセルの内からタイムスタンプの一番小さなセルが読み出される。

【0041】ここで、この再順序化セルバッファからのセルの読み出し判定に用いるW時間を、

$W = (\text{スイッチ網SWN内最大遅延時間}) - (\text{スイッチ網SWN内最小遅延時間})$

に設定しておけば、逆転したセル順序の整列化を行うことができる。

【0042】2) 第1の再順序化制御方式も、再順序化制御に必要となる参照値としてタイムスタンプを用いるものである。この方式は、タイムスタンプを用いる点では第1の再順序化制御方式と同様であるが、再順序化制御部R90-1~R90-n、R100-1~R100-mの内部の再順序化セルバッファの制御方法が異なる。

【0043】スイッチ網SWNから出力され、再順序化制御部R90-1~R90-n、R100-1~R100-mに入力されたセルは、その内部の再順序化セルバッファに書き込まれるとともに、このセルが再順序化制御部R90-1~R90-n、R100-1~R100-mに到着した時刻とこのセルに書き込まれているタイムスタンプ値とを用いてこのセルの再順序化セルバッファからの読み出し時刻を予め算出し、この算出値を出力時刻管理用テーブルに登録する。

【0044】再順序化セルバッファからのセルの読み出しは、1セル周期毎に出力時刻管理用テーブルを参照し、現時刻での出力予定セルがあればこれを読み出す。

【0045】ここで、出力時刻管理用テーブルに登録される出力予定時刻はスイッチ網SWN内セル通過時間がこのATM交換システムを通過するセルの全てについて同一となるように計算される。すなわち、再順序化制御部R90-1~R90-n、R100-1~R100-mは、スイッチ網SWN内セル遅延時間の等価装置として機能する。

【0046】3) 第3の再順序化制御方式は、上述した第1および第2の再順序化制御方式と異なり、再順序化制御に必要となる参照値としてシーケンス番号を用いるものである。この方式において、シーケンス番号は、入力回線対応部ICH91~ICH9n、ICH101~ICH10nのATM層処理部92およびATM層処理部102において、コネクション毎に昇順のシーケンス番号が各セルに書き込まれる。

【0047】スイッチ網SWNから出力され、再順序化制御部R90-1~R90-n、R100-1~R100-mに入力されたセルは、その内部の再順序化セルバ

ッファに書き込まれるとともに、このセルに書き込まれたシーケンス番号がコネクション毎のシーケンス番号管理テーブルに登録される。このシーケンス番号の登録の際に、シーケンス番号管理テーブルには書き込んだ再順序化セルバッファのセル位置がシーケンス番号にしたがって整列されながら登録される。

【0048】再順序化セルバッファからのセルの読み出しは、1セル周期毎にシーケンス番号管理テーブルを参照し、現セル周期までに読み出したセルのシーケンス番号の次に続くセルが登録されているならばこれを読み出し、登録されていないならば再順序化セルバッファからのセルの読み出しを控える。ここで、第1の再順序化制御方式で説明したW時間以上の読み出しを控えた場合は、この待っていたシーケンス番号を飛ばして次のシーケンス番号のセルを読み出す。

【0049】なお、上述した第1乃至第3の再順序化制御方式の説明においては、グルーピングしていない回線の再順序化制御方式についてのべたが、グルーピングした回線の再順序化制御方式においては、上述した制御をスイッチ網SWN側での1セル周期の間にg回繰り返すように構成すればよい。

【0050】上述したように、図7に示す従来のATM交換システムは、グルーピングする通話路数を増やすことにより、いくらでも高速の回線を収容することができるという利点があるが、その反面、以下に示すような欠点を有する。

【0051】1) セルの再順序化に用いるタイムスタンプあるいはシーケンス番号を付加する機能を全ての入力回路対応部ICH91~ICH9n、ICH101~ICH10nに設ける必要があり、またスイッチ網SWNの全ての出力通話路に再順序化制御部R90-1~R90-n、R100-1~R100-mを設ける必要があるため、これによりATM交換システム全体のコストおよびハード規模の増大を招く。

【0052】2) 再順序化制御部R90-1~R90-n、R100-1~R100-mの再順序化制御方式としてタイムスタンプを用いる第1または第2の再順序化制御方式を採用すると、ATM交換システム内に存在する全てのタイムスタンプ付加部および再順序化制御部で時刻同期をとる必要があり、この時刻同期のためには時刻リセット信号および時刻を進めるためのクロック信号を同位相で全てのタイムスタンプ付加部および再順序化制御部に分配する必要があり、これはATM交換システムのシステム規模が中規模以上になった場合は実現が困難になる。

【0053】3) 再順序化制御部R90-1~R90-n、R100-1~R100-mの再順序化制御方式として第1または第2の再順序化制御方式を採用した場合、再順序化制御部R90-1~R90-n、R100-1~R100-mに到達したセルの全てを一時的に再

10

20

30

40

50

順序化セルバッファに蓄え、規定時間以上滞在した後に読み出すように構成されるため、セル順序が逆転せずに待ち合わせする必要が内場合にも一律に待ち合わせ制御が行われ、これにより通信遅延時間が増大するとともに、この待ち合わせ時間は最悪の使用状態時を考慮して決定されるため、無視できない値となる。

【0054】4) 再順序化制御部R90-1~R90-n、R100-1~R100-mの再順序化制御方式として第1の再順序化制御方式を採用した場合、最も古いセルを検索する動作が必要になり、この検索動作は一般にステップ数の多い複雑な動作となるので、高速動作が実現できない。

【0055】5) 再順序化制御部R90-1~R90-n、R100-1~R100-mの再順序化制御方式として第2の再順序化制御方式を採用した場合、グルーピングした回線の出力時刻管理用テーブルの管理には、登録済みの出力時刻管理用テーブルの情報を参照する必要があるため、制御が容易ではない。

【0056】6) 再順序化制御部R90-1~R90-n、R100-1~R100-mの再順序化制御方式として第3の再順序化制御方式を採用した場合、再順序化セルバッファおよびシーケンス番号管理テーブルは、1回線内に多重化されるコネクション毎に管理する必要がある、ATM交換システムでは1回線内に多重化されるコネクションの数が数千を超える場合も想定しなければならないので、ハード規模を膨大となり、実現が困難である。

【0057】

【発明が解決しようとする課題】 上述したように、図6に示した従来のATM電子交換システムにおいては、収容できる回線速度の上限が内部ルーティング部の1通話路当たりの通信速度によって制限されるという問題があり、また、図7に示す従来の他のATM電子交換システムにおいては、

1) セルの再順序化に用いるタイムスタンプあるいはシーケンス番号を付加する機能を全ての入力回路対応部に設ける必要があり、またスイッチ網の全ての出力通話路に再順序化制御部を設ける必要があるため、これによりATM交換システム全体のコストおよびハード規模の増大を招く

2) 再順序化制御部の再順序化制御方式としてタイムスタンプを用いる方式を採用すると、ATM交換システム内に存在する全てのタイムスタンプ付加部および再順序化制御部で時刻同期をとる必要があり、この時刻同期のためには時刻リセット信号および時刻を進めるためのクロック信号を同位相で全てのタイムスタンプ付加部および再順序化制御部に分配する必要があり、これはATM交換システムのシステム規模が中規模以上になった場合は実現が困難になる

3) 再順序化制御部の再順序化制御方式としてタイムス

タンプを用いる方式を採用した場合、再順序化制御部に到達したセルの全てを一時的に再順序化セルバッファに蓄え、規定時間以上滞在した後に読み出すように構成されるため、セル順序が逆転せずに待ち合わせする必要が内場合にも一律に待ち合わせ制御が行われ、これにより通信遅延時間が増大するとともに、この待ち合わせ時間は最悪の使用状態時を考慮して決定されるため、無視できない値となる

4) 再順序化制御部の再順序化制御方式としてタイムスタンプを用いる方式を採用した場合、最も古いセルを検索する動作が必要になり、この検索動作は一般にステップ数の多い複雑な動作となるので、高速動作が実現できない。また、グルーピングした回線の出力時刻管理用テーブルの管理には、登録済みの出力時刻管理用テーブルの情報を参照する必要があるため、制御が容易ではない

5) 再順序化制御部の再順序化制御方式としてシーケンス番号を用いる方式を採用した場合、再順序化セルバッファおよびシーケンス番号管理テーブルは、1回線内に多重化されるコネクション毎に管理する必要がある、ATM交換システムでは1回線内に多重化されるコネクションの数が数千を超える場合も想定しなければならないので、ハード規模を膨大となり、実現が困難である等の問題があった。

【0058】そこで、この発明は、装置全体の高速動作を要求することなしに、また、ハード規模およびコストの増大を招くことなしに、高速回線を柔軟に収容することができるATM交換システムにおけるセル交換方法および装置を提供することを目的とする。

【0059】

【課題を解決するための手段】 上記目的を達成するため、この発明は、複数の入出力回線間でセルの交換を行うATM交換システムにおけるセル交換方法において、高速入力回線から入力されたセル流をATM分離部でコネクション毎の複数のセル流に分離して複数の入力通話路から低速入力回線からのセル流とともに内部ルーティング部に入力し、内部ルーティング部では前記入力通話路から入力されたセル流をルーティングして複数の出力通話路から出力し、前記出力通話路から出力された高速出力回線に対応する複数のセル流はATM多重化部で多重化して該高速出力回線に出力することを特徴とする。

【0060】ここで、前記内部ルーティングに対する前記入力通話路および前記出力通話路の通信速度を、同一に設定するように構成することができる。

【0061】また、前記高速入力回線に対応して前記ATM分離部で分離された複数の入力通話路の全体の通信速度を、前記高速入力回線の回線速度よりも大きく設定するように構成することができる。

【0062】また、この発明では、複数の入出力回線間でセルの交換を行うATM交換システムにおけるセル交

換方法において、入力回線から入力されたセル流の同一コネクシオンに属するセルが通過するルーティングパスのパス設定数を各コネクシオンの通信速度に対応して増減し、該パス設定数の増減によりセル順序の逆転の可能性がある場合のみセル順序の補正を行って出力回線に出力することを特徴とする。

【0063】ここで、高速入力回線に設定されたコネクシオンに対するルーティングパスのパス設定数は、該高速入力回線に設定されたコネクシオンの通信速度が低速入力回線の回線速度より小さい場合は単一に設定し、該高速入力回線に設定されたコネクシオンの通信速度が低速入力回線の回線速度より大きい場合は複数に設定するように構成することができる。

【0064】また、高速入力回線から入力されたセル流をATM分離部で複数の入力通話路に分離するとともに、前記高速入力回線に設定されたコネクシオンの通信速度が前記低速入力回線の回線速度より小さい場合は、前記ルーティングパスを前記ATM分離部で分離された複数の入力通話路の1つに設定して該コネクシオンに属するセルを該1つの入力通話路を介して内部ルーティング部に入力し、前記高速入力回線に設定されたコネクシオンの通信速度が前記低速入力回線の回線速度より大きい場合は、前記ルーティングパスを前記ATM分離部で分離された複数の入力通話路の全てに設定して該コネクシオンに属するセルを該複数の入力通話路に順次割り当てて該複数の入力通話路を介して内部ルーティング部に入力し、前記内部ルーティング部でルーティングされて出力されるセルの中で前記ルーティングパスを前記ATM分離部で分離された複数の入力通話路の全てに設定されたコネクシオンに属するセルに対してのみセル順序の補正を行うように構成することができる。

【0065】また、この発明では、複数の入出力回線間でセルの交換を行うATM交換システムにおけるセル交換装置において、高速入力回線から入力されたセル流の物理層処理およびATM処理を行う高速入力回線対応部と、前記高速入力回線対応部で処理されたセル流をコネクシオン毎の複数のセル流に分離するATM分離部と、低速入力回線から入力されたセル流の物理層処理およびATM処理を行う低速入力回線対応部と、前記ATM分離部で分離された複数のセル流および前記低速入力回線対応部で処理されたセル流をそれぞれ複数の入力通話路を介して入力し、該セル流をルーティングして複数の出力通話路から出力する内部ルーティング部と、前記内部ルーティング部の複数の出力通話路から出力されたセル流の中で高速出力回線に対応する複数のセル流を多重化するATM多重化部と、前記ATM多重化部で多重化されたセル流のATM処理および物理層処理を行い高速出力回線に出力する高速出力回線対応部と、前記内部ルーティング部の複数の出力通話路から出力されたセル流の中で低速出力回線に対応するセル流のATM処理お

よび物理層処理を行い低速出力回線に出力する低速出力回線対応部とを具備することを特徴とする。

【0066】ここで、前記内部ルーティングに対する前記入力通話路および前記出力通話路の通信速度を、同一に設定するように構成することができる。

【0067】また、前記高速入力回線に対応して前記ATM分離部で分離された複数の入力通話路の全体の通信速度を、前記高速入力回線の回線速度よりも大きく設定するように構成することができる。

【0068】また、前記低速入力回線対応部で処理された複数のセル流を多重化して前記入力通話路を介して前記内部ルーティング部から出力する低速入力回線用ATM多重化部と、前記内部ルーティング部の複数の出力通話路から出力されたセル流の中で低速出力回線に対応する複数のセル流をコネクシオン毎に分離して前記低速出力回線対応部に出力する低速入力回線用ATM分離部とを更に具備して構成することができる。

【0069】また、この発明は、複数の入出力回線間でセルの交換を行うATM交換システムにおけるセル交換装置において、高速入力回線から入力されたセル流の物理層処理およびATM処理を行う高速入力回線対応部と、低速入力回線から入力されたセル流の物理層処理およびATM処理を行う低速入力回線対応部と、前記高速入力回線に設定されたコネクシオンの通信速度が前記低速入力回線の回線速度より大きい場合は、前記高速入力回線対応部において各セルに対して到着順を識別する識別情報を付与する識別情報付与手段と、前記高速入力回線に設定されたコネクシオンの通信速度が前記低速入力回線の回線速度より小さい場合は前記高速入力回線対応部で処理されたセル流をコネクシオン毎に単一入力通話路に出力し、前記高速入力回線に設定されたコネクシオンの通信速度が前記低速入力回線の回線速度より大きい場合は前記高速入力回線対応部で処理されたセル流を複数の入力通話路に順次割り当てて複数の入力通話路に出力するATM分離部と、前記ATM分離部から出力される複数のセル流および前記低速入力回線対応部で処理されたセル流をそれぞれ複数の入力通話路を介して入力し、該セル流をルーティングして複数の出力通話路から出力する内部ルーティング部と、前記内部ルーティング部の複数の出力通話路から出力されたセル流の中で高速出力回線に対応する複数のセル流を入力し、前記複数の入力通話路に順次割り当てられたコネクシオンに属するセルのセル順序が逆転したセルがあるとこれを前記識別情報付与手段で付与された識別情報に基づき検出してその補正を行って出力する再順序化制御部と、前記再順序化制御部から出力されたセル流のATM処理および物理層処理を行い、高速出力回線に出力する高速出力回線対応部と、前記内部ルーティング部の複数の出力通話路から出力されたセル流の中で低速出力回線に対応するセル流のATM処理および物理層処理を行い低速出力回線に

出力する低速出力回線対応部とを具備することを特徴とする。

【0070】ここで、前記再順序化制御部は、入力されたセルを一時的に蓄積する再順序化セルバッファと、前記再順序化セルバッファに蓄積されたセルにセル順序が逆転したセルがあるとそのセル順序を補正して前記再順序化セルバッファから読み出す読み出し手段とを具備して構成することができる。

【0071】また、前記再順序化セルバッファは、前記高速入力回線に設定されたコネクションの通信速度が前記低速入力回線の回線速度より小さいコネクションに属するセルを蓄積するシングルコネクション用セルバッファと、前記高速入力回線に設定されたコネクションの通信速度が前記低速入力回線の回線速度より大きいコネクションに属するセルを蓄積するグルーピングコネクション用セルバッファとを具備し、前記読み出し手段は、前記グルーピングコネクション用セルバッファに蓄積されたセルにセル順序が逆転したセルがあるとそのセル順序を補正して前記グルーピングコネクション用セルバッファから読み出すように構成することができる。

【0072】また、前記グルーピングコネクション用セルバッファは、前記コネクション毎と前記出力通路毎とに二重に論理分割された複数のグルーピングコネクション用個別セルバッファから構成することができる。

【0073】

【発明の実施の形態】以下、この発明に係わるATM交換システムにおけるセル交換方法および装置の実施例を添付図面を参照して詳細に説明する。

【0074】図1は、この発明に係わるATM交換システムにおけるセル交換方法および装置を適用して構成したATM交換システムの第1の実施例を示したものである。

【0075】図1において、高速回線IF1から入力されるセル流は、入力回線対応部ICH11～ICH1nの11およびATM層処理部12でそれぞれ所定の物理層処理およびATM層処理が施された後、ATM分離部AD10-1～AD10-nにおいて各セル内に書き込まれているルーティングタグを参照することによりそれぞれ所望の出力回線方向へのセル流の分離が行われ、内部ルーティング部100に入力される。

【0076】一方、低速回線IF2から入力されるセル流は、入力回線対応部ICH21～ICH2nの物理層処理部21およびATM層処理部22でそれぞれ所定の物理層処理およびATM層処理が施された後、内部ルーティング部100に入力される。

【0077】内部ルーティング部100に入力されたセル流は、各セル内に書き込まれているルーティングタグを参照することにより所望の出力回線方向に向けてそれぞれルーティングされる。

【0078】内部ルーティング部100により高速回線

IF1の出力側にルーティングされたセル流は、ATM多重化部AM10-1～AM10-nでそれぞれ多重化された後、出力回線対応部OCH11～OCH1nの物理層処理部13およびATM層処理部14でそれぞれ所定の物理層処理およびATM層処理が施され、高速回線IF1に出力される。

【0079】また、内部ルーティング部100により低速回線IF2の出力側にルーティングされたセル流は、出力回線対応部OCH21～OCH2nの物理層処理部23およびATM層処理部24でそれぞれ所定の物理層処理およびATM層処理が施され、低速回線IF2に出力される。

【0080】ここで、この第1の実施例においては、高速回線IF1に対応する入力回線対応部ICH11～ICH1n、ATM分離部AD10-1～AD10-nおよびATM多重化部AM10-1～AM10-n、出力回線対応部OCH11～OCH1nに代えて低速回線IF2に対応する入力回線対応部ICH21～ICH2nおよび出力回線対応部OCH21～OCH2nを容易に設置することができるようにするために、ATM分離部AD10-1～AD10-nと内部ルーティング部100とを接続する通路および内部ルーティング部100とATM多重化部AM10-1～AM10-nとを接続する通路および入力回線対応部ICH21～ICH2nと内部ルーティング部100とを接続する通路および内部ルーティング部100と出力回線対応部OCH21～OCH2nとを接続する通路の通信速度は全て同一の通信速度uになるように設定されている。

【0081】また、内部ルーティング部100は、その入出力通路の全てに低速回線IF2を収容した場合にもセル輻輳を発生させることなく任意の入出力回線間でコネクションが設定できるルーティング処理能力を有するものが用いられている。

【0082】上記構成により、内部ルーティング部100のルーティング処理能力を無駄に使用することなく多様な回線収容形態が実現できる。

【0083】なお、図1に示す第1の実施例においては、あるコネクションに属するセルは常に1つのルーティングパスを通過するように設定されるので、図7に示す従来のATM交換システムで用いたセルの再順序化制御部は不要になる。

【0084】また、図1に示す第1の実施例においては高速回線IF1に対応するATM分離部AD10-1～AD10-nと内部ルーティング部100とを接続するそれぞれの通路全体の通信速度が高速回線IF1の回線速度よりも大きくなるように構成されている。

【0085】例えば、高速回線IF1の回線速度をV1、ATM多重化部AM10-1と内部ルーティング部100とを接続する通路の数をg、各通路の通信速度をuとすると、この図1に示す実施例においては、

$$V1 < g \times u$$

の条件を満たすようにATM多重化部AM10-1と内部ルーティング部100とを接続する通話路の数 g および各通話路の通信速度 u が設定される。

【0086】このような構成によると、高速回線IF1に設定できるコネクションの数や各コネクションの最大通信速度を大きくすることが可能になる。このことはATM伝送方式の特徴の1つである統計多重効果を利用することにより飛躍的に大きくすることが可能になる。

【0087】今、低速回線IF2の回線速度 $V2$ を150Mbps、高速回線IF1の回線速度 $V1$ を600Mbps、ATM多重化部AM10-1と内部ルーティング部100とを接続する通話路の数 g を「4」とした場合について考える。

【0088】ここで、高速回線IF1上に4本の100Mbpsのコネクションが設定され、これらのコネクションが入力回線対応部ICH11に対応するATM多重化部AM10-1から出力される4本の通話路のそれぞれに設定されているとする。

【0089】この状況において新たに設定できるコネクションの最大速度は、この4本の通話路の通信速度 u を150Mbpsとした場合は、50Mbpsにとどまるが、この通信速度 u を300Mbpsとすると、150Mbpsが可能となる。

【0090】なお、通話路の通信速度 u を300Mbpsとした場合は、低速回線IF2に関してはその回線速度150Mbpsの倍速で動作させることになるが、これを実現するのは内部ルーティング部100を構成する上で大きな障害にはならない。

【0091】なぜならば、中規模以上の内部ルーティング部100を単位スイッチを用いて構成する場合、内部ルーティング部100の構成を比較的簡単にするために、単位スイッチ間を接続する通信路の通信速度をATM交換システムに収容する回線の回線速度の倍速で動作させるのが一般的であるからである。

【0092】なお、この図1に示す第1の実施例において、高速回線IF1に対応するATM分離部AD10-1～AD10-nおよびATM多重化部AM10-1～AM10-nにおいて各コネクション毎に指示されるQOS (Quality Of Service) にしたがった優先制御を行うように構成してもよい。

【0093】図2は、回線速度が150Mbpsの回線を32本収容可能な内部ルーティング部100に対して回線速度が600Mbpsの高速回線の収容を可能にするこの発明に係わるATM交換システムの第2の実施例を示したものである。

【0094】この第2の実施例において、内部ルーティング部100は、12個の8入力8出力の単位スイッチ100-1～100-12をバンヤン接続することにより32入力32出力を実現している。

【0095】この図2の構成において、内部ルーティング部100を構成する12個の単位スイッチ100-1～100-12間を結ぶ通話路の通信速度は300Mbpsであり、この内部ルーティング部100に対する入出力通信路も300Mbpsの通信速度を持つ。

【0096】これにより、内部ルーティング部100は、最大150Mbpsまでのコネクションを任意の入出力回線間でルーティングすることが可能になる。

【0097】すなわち、図2の構成において、回線速度が600Mbpsの高速回線IF1から入力されるセル流は、入力回線対応部ICH31～ICH32でそれぞれ所定の物理層処理およびATM層処理が施された後、ATM分離部AD30-1、AD30-2において各セル内に書き込まれているルーティングタグを参照することにより4本のそれぞれ所望の出力回線方向へのセル流の分離が行われ、内部ルーティング部100の単位スイッチ100-1、100-2に入力される。

【0098】また、回線速度が150Mbpsの低速回線IF2から入力されるセル流は、入力回線対応部ICH41～ICH416でそれぞれ所定の物理層処理およびATM層処理が施された後、8個のATM多重化部AM40-1～AM40-8でそれぞれ2個の入力回線対応部の出力がATM多重化され、内部ルーティング部100の単位スイッチ100-3、100-4に入力される。

【0099】内部ルーティング部100に入力されたセル流は、各セル内に書き込まれているルーティングタグを参照することにより12個の単位スイッチ100-1～100-12で所望の出力回線方向に向けてそれぞれルーティングされる。

【0100】そして、内部ルーティング部100により高速回線IF1の出力側にルーティングされたセル流は、ATM多重化部AM30-1、AM30-2でそれぞれ多重化された後、出力回線対応部OCH31、OCH32でそれぞれ所定の物理層処理およびATM層処理が施され、高速回線IF1に出力される。

【0101】また、内部ルーティング部100により低速回線IF2の出力側にルーティングされたセル流は、ATM分離部AD40-1～AD30-8において各セル内に書き込まれているルーティングタグを参照することによりそれぞれ所望の出力回線方向へのセル流の分離が行われ、出力回線対応部OCH41～OCH416でそれぞれ所定の物理層処理およびATM層処理が施され、低速回線IF2に出力される。

【0102】なお、この図2に示す第2の実施例において、高速回線IF1に対応するATM分離部AD30-1、AD30-2およびATM多重化部AM30-1、AM30-2において、また、低速回線IF2に対応するATM多重化部AM40-1～AM40-8およびATM分離部AD40-1～AD30-8において各コネ

クション毎に指示されるQOS (Quality Of Service) にしたがった優先制御を行うように構成してもよい。

【0103】図3は、この発明に係わるATM交換システムの第3の実施例を示したものである。

【0104】この図3に示す第3の実施例は、その基本的構成および動作は図1に示した第1の実施例と同様であるが、この第3の実施例においては、図1に示した高速回線IF1に対応するATM多重化部AM10-1～AM10-nの代わりに再順序化制御部R50-1～R50-nを設けたことおよび高速回線IF1に対応するATM分離部AD50-1～AD50-nにおけるルーティングパスの設定方法が図1に示した第1の実施例と異なる。

【0105】すなわち、図1に示した第1の実施例においては、あるコネクションに属するセルは常に1つのルーティングパスを通過するようにルーティングパスを設定していたため、設定できるコネクションの最大通信速度は低速回線IF2の回線速度V2を越えることはなかった。

【0106】これに対し、図3に示す第3の実施例においては、図1と同一の内部ルーティング部100を用いながら、低速回線IF2の回線速度V2を越えるコネクションを高速回線IF1上に設定することができるようにしたものである。

【0107】図3において、高速回線IF1から入力されるセル流は、入力回線対応部ICH51～ICH5nでそれぞれ所定の物理層処理およびATM層処理が施された後、ATM分離部AD50-1～AD50-nに入力され、ここで、各セル内に書き込まれているルーティングタグを参照することによりそれぞれ所望の出力回線方向へのセル流の分離が行われ、内部ルーティング部100に入力される。

【0108】このATM分離部AD50-1～AD50-nにおけるセル流の分離は次のようにして行われる。

【0109】1) 通信速度が低速回線IF2の回線速度V2を越えないコネクションに属するセルは常に1つのルーティングパスを通過するように分離する。この制御は図1に示した第1の実施例と同一である。

【0110】2) 通信速度が低速回線IF2の回線速度V2を越えるコネクションに属するセルについては、ATM分離部AD50-1～AD50-nと内部ルーティング部100とを接続する複数の通話路にルーティングパスを同時に設定し、この設定したルーティングパスに対して通信速度が低速回線IF2の回線速度V2を越えるコネクションに属するセルを到着順序にしたがって巡回的に割り当てることによりセル流の分離を行う。

【0111】このような構成によると、複数の通話路に設定された各ルーティングパスの通信速度は低速回線IF2の回線速度V2を越えることはなく、これにより内部ルーティング部100においてセル輻輳が発生するこ

とはない。

【0112】なお、この場合、通信速度が低速回線IF2の回線速度V2を越えるコネクションに属するセルは複数の複数のルーティングパスにルーティングされることになるので、内部ルーティング部100においてセル順序の逆転は発生することがある。この逆転を後に補正するために、高速回線IF1に対応する入力回線対応部ICH51～ICH5nでは、その通信速度が低速回線IF2の回線速度V2を越えるコネクションに属するセルについてのみセルの到着順にしたがったシーケンス番号の書き込みが行われる。

【0113】通信速度が低速回線IF2の回線速度V2を越えるコネクションに属するセルがATM分離部AD50-1～AD50-nにおいて複数の通話路に巡回的に割り当てられる様子が図4に示される。

【0114】図4において、高速回線IF1に対応する入力回線対応部ICH (ICH51～ICH5n) に、その通信速度が低速回線IF2の回線速度V2を越えるコネクションに属するセルが到着した場合は、そのセルの到着順にしたがってシーケンス番号が書き込まれ、ATM分離部AD (AD50-1～AD50-n) に出力される。

【0115】ATM分離部ADでは、この入力回線対応部ICHから入力されたセルをその到着順序にしたがって順次巡回的に内部ルーティング部100に接続される通話路に割り当てることによりセル流の分離を行う。

【0116】なお、この図3に示す第3の実施例においては、コネクションの通信速度に応じてルーティングパスが異なるので、以下では、通信速度が低速回線IF2の回線速度V2を越えないコネクションをシングルコネクション、通信速度が低速回線IF2の回線速度V2を越えるコネクションをグルーピングコネクションと呼ぶ。

【0117】一方、低速回線IF2から入力されるセル流は、入力回線対応部ICH61～ICH6nでそれぞれ所定の物理層処理およびATM層処理が施された後、内部ルーティング部100に入力される。

【0118】内部ルーティング部100に入力されたセル流は、各セル内に書き込まれているルーティングタグを参照することにより所望の出力回線方向に向けてそれぞれルーティングされる。

【0119】内部ルーティング部100により高速回線IF1の出力側にルーティングされたセル流は、再順序化制御部R50-1～R50-nに入力される。

【0120】再順序化制御部R50-1～R50-nは、入力されたセルを一時的に再順序化セルバッファに蓄積し、セル順序が逆転したセルがあるとそのセル順序を補正する制御を行い、その後出力回線対応部OCH51～OCH5nに出力する。

【0121】ところで、再順序化制御部R50-1～R

50-nにおけるセル順序の制御は、グルーピングコネクシオンに属するセルに対してのみ行えばよいので、再順序化制御部R50-1~R50-nにおいては、再順序化セルバッファの論理的な管理対象をシングルコネクシオン用セルバッファとグルーピングコネクシオン用セルバッファとに分割し、シングルコネクシオン用セルバッファに対しては再順序化が容易なFIFO制御を行い、グルーピングコネクシオン用セルバッファに対してはセルの再順序化制御を行う。このような制御によりセルの再順序化を行う上でのハード規模を縮小することができる。

【0122】セルの再順序化制御は、グルーピングコネクシオン用セルバッファをグルーピングコネクシオン毎に論理的に分割し、それぞれを個別に管理することにより実現する。

【0123】高速回線IF1の通信速度が低速回線IF2の通信速度の4~16倍程度の場合に、この第3の実施例を適用すれば、1つの高速回線IF1上に同時に設定できるグルーピングコネクシオンの数は4~16程度におさまる。この程度の規模であれば、グルーピングコネクシオン用セルバッファをグルーピングコネクシオン毎に管理してもこれを実現する上で大きな障害とならない。

【0124】グルーピングコネクシオンに属するセルの順序逆転は、グルーピングした通話路の間で発生し、各通話路の内部では発生することはない。

【0125】再順序化制御部R50-1~R50-nにおけるセルの再順序化制御は、この性質を利用する。

【0126】すなわち、グルーピングコネクシオン毎に論理分割したグルーピングコネクシオン用セルバッファを、更に再順序化制御部R50-1~R50-nの入力側に接続される通話路毎に論理分割し、この論理分割したセルバッファに対してFIFO管理を行えば、再順序化制御が実現できる。

【0127】この場合、セルの再順序化制御にその制御が容易なFIFO制御を適用することができるので、ハード規模の増大を招くことなく再順序化制御部R50-1~R50-nを構成することができる。

【0128】図5は、再順序化制御部R50-1~R50-nにおける論理分割した再順序化セルバッファの構成を示したものである。

【0129】再順序化セルバッファは、上述したようにシングルコネクシオン用セルバッファSBUとグルーピングコネクシオン用セルバッファBUとに論理分割され、更にグルーピングコネクシオン用セルバッファBUは、グルーピングコネクシオン毎と通話路毎とに二重に論理分割される。以下では、このグルーピングコネクシオン毎と通話路毎とに二重に論理分割され再順序化セルバッファをグルーピングコネクシオン個別セルバッファと呼ぶ。

【0130】なお、図5においては、グルーピングした通話路の本数が「4」の場合を示しているので、このグルーピングコネクシオン用個別セルバッファは、グルーピングコネクシオン1用セルバッファBU1-1~BU1-1、…グルーピングコネクシオン4用セルバッファBU4-1~BU4-1から構成される。

【0131】この図5に示した再順序化セルバッファは、書き込み制御部501、読み出し制御部502、待ち合わせ制御部503により制御される。

10 【0132】再順序化制御部R50-1~R50-nに到着したセルは、まず、書き込み制御部501の制御により、このセルがシングルコネクシオンに属するセルであればシングルコネクシオン用セルバッファSBUに書き込まれ、このセルがグルーピングコネクシオンに属するセルであればこのコネクシオンと入力された通話路の位置からグルーピングコネクシオン用個別セルバッファ、すなわちグルーピングコネクシオン1用セルバッファBU1-1~BU1-1、…グルーピングコネクシオン4用セルバッファBU4-1~BU4-1に書き込まれる。

20 【0133】なお、再順序化セルバッファの物理的なセルバッファをシングルコネクシオン用セルバッファSBUとグルーピングコネクシオン用セルバッファBUとが共有して使用する共通バッファとして実現する場合は、このセルバッファへの書き込みアドレスはこのセルバッファと平行して設置されるアドレス管理テーブルに登録されている空アドレスキューから獲得される。

30 【0134】再順序化セルバッファからのセルの読み出し制御は、読み出し制御部502および待ち合わせ制御部503を用いて制御される。

【0135】再順序化セルバッファからのセルの読み出しに先だて、グルーピングコネクシオン用セルバッファBUからセルが読み出せるか、つまり、セル順序の逆転が発生することなくセルが読み出せるかについて、全てのグルーピングコネクシオンについて判定する。この判定には、例えば、セルの書き込み動作と平行して、セルバッファに書き込み途中のセルに書き込まれているシーケンス番号から次に再順序化制御部R50-1~R50-nに到着することを期待する次の順のシーケンス番号の最小値ESN(i)をグルーピングコネクシオン毎に算出しておき、この値を利用する。ここで、最小値ESN(i)のiは、グルーピングコネクシオンの識別子で、i=1、2、3、…の値をとる。

50 【0136】グルーピングコネクシオンiに属するセルがセルバッファから読み出せるか否かの判定は、該当する最小値ESN(i)とグルーピングコネクシオン用個別セルバッファの先頭に書き込まれているセルのなかで最小のシーケンス番号MSN(i)とを比較し、最小値ESN(i)に対してシーケンス番号MSN(i)の方が小さければ、シーケンス番号MSN(i)を持つセル

は読み出し可能であり、逆に最小値ESN(i)に対してシーケンス番号MSN(i)の方が大きければこのセルの読み出しは禁止することにより実現される。

【0137】全てのグルーピングコネクションについて読み出し可能性が判定された後、グルーピングコネクションに属する読み出し可能なセルおよびシングルコネクション用セルバッファSBUに書き込まれているセルが交互に巡回的に読み出される。

【0138】セルバッファからのセル読み出し処理能力として、再順序化制御部R50-1~R50-nの入力側に接続されている通話路の本数をgであらわせば、再順序化制御部R50-1~R50-nの入力側の通話路のセル周期で1セル周期毎にシングルコネクション用セルバッファSBUからはgセルを、また、各グルーピングコネクション用個別セルバッファからは1セルを読み出す処理能力を予め備えるように構成すれば、再順序化セルバッファでセルの輻輳が発生することはない。

【0139】なお、再順序化セルバッファの物理的なセルバッファをシングルコネクション用セルバッファSBUとグルーピングコネクション用セルバッファBUとが共有して使用する共通バッファとして実現する場合は、セルバッファからの読み出しアドレスはこのセルバッファと平行して設置されるアドレス管理テーブルに登録されている該当アドレスキューから獲得され、セルの読み出し完了後に使用の終わった読み出しアドレスを空アドレスキューに戻す制御を行う。

【0140】グルーピングコネクション用セルバッファBUからの読み出し制御において、読み出し禁止と判定されたグルーピングコネクションでは、再順序化制御部R50-1~R50-nに期待するセルが到着してセル読み出し条件が満たせるようになるまで、セルの読み出しの待ち合わせが行われる。この制御は待ち合わせ制御部503により制御される。

【0141】なお、この到着を期待するセルが内部ルーティング部100の一時的なセル輻輳などにより廃棄された場合には、再順序化セルバッファでセル輻輳に陥る危険があるため、一定の条件でセル待ち合わせを解除する制御が必要である。この制御方法としては、セル待ち合わせが開始されてから起動されるタイマを用いる一定の時間以上のセル待ち合わせは行わないタイムアウト制御や、再順序化セルバッファに滞留しているセル数が一定値を越えた場合にセル待ち合わせを解除するキュー長制御を使用することができる。

【0142】再順序化制御部R50-1~R50-nでセル順序の制御が行われたセルを入力する出力回線対応部OCH51~OCH5nはそのセルにそれぞれ所定の物理層処理およびATM層処理を施し、高速回線IF1に出力する。

【0143】また、内部ルーティング部100により低速回線IF2の出力側にルーティングされたセル流は、

出力回線対応部OCH61~OCH6nでそれぞれ所定の物理層処理およびATM層処理が施され、低速回線IF2に出力される。

【0144】このような構成によると、高速回線IF1を収容するために必要となるハードウェア、つまり入出力回線対応部、ATM分離部および再順序化制御部は高速回線IF1の収容部のみに局所化できるので、ATMシステム全体のハード規模やコストの増大させることなく必要に応じて柔軟に高速回線を収容することができる。

【0145】

【発明の効果】以上説明したようにこの発明によれば、高速入力回線から入力されたセル流をATM分離部でコネクション毎の複数のセル流に分離して複数の入力通話路から低速入力回線からのセル流とともに内部ルーティング部に入力し、内部ルーティング部では前記入力通話路から入力されたセル流をルーティングして複数の出力通話路から出力し、前記出力通話路から出力された高速出力回線に対応する複数のセル流はATM多重化部で多重化して該高速出力回線に出力するように構成したので、システム全体のハード規模やコストの増大を招くことなく必要に応じて柔軟に高速回線を収容することができるATM交換システムにおけるセル交換方法および装置を提供することができる。

【0146】また、この発明においては、入力回線から入力されたセル流の同一コネクションに属するセルが通過するルーティングパスのパス設定数を各コネクションの通信速度に対応して増減し、該パス設定数の増減によりセル順序の逆転の可能性がある場合のみセル順序の補正を行って出力回線に出力するように構成したので、高速回線を収容するために必要となるハードウェアを高速回線の収容部のみに局所化でき、ATMシステム全体のハード規模やコストの増大させることなく必要に応じて柔軟に高速回線を収容することができる。

【図面の簡単な説明】

【図1】この発明に係わるATM交換システムにおけるセル交換方法および装置を適用して構成したATM交換システムの第1の実施例を示したブロック図。

【図2】回線速度が150Mbpsの回線を32本収容可能な内部ルーティング部に対して回線速度が600Mbpsの高速回線の収容を可能にするこの発明に係わるATM交換システムの第2の実施例を示したブロック図。

【図3】この発明に係わるATM交換システムの第3の実施例を示したブロック図。

【図4】図3に示した実施例において、通信速度が低速回線の回線速度を越えるコネクションに属するセルがATM分離部において複数の通話路に巡回的に割り当てられる様子を示す図。

【図5】図3に示した実施例における再順序化制御部に

における論理分割した再順序化セルバッファの構成を示した図。

【図6】高速回線の収容を可能にするとともに、多様な回線収容形態を可能にする従来のATM交換システムの一例を示したブロック図。

【図7】高速回線の収容を可能にするとともに、多様な回線収容形態を可能にする従来のATM交換システムの他の例を示したブロック図。

【符号の説明】

11、21、14、24 物理層処理部
12、22、13、23 ATM層処理部
100 内部ルーティング部
IF1 高速回線
IF2 低速回線
ICH11～ICH1n、ICH21～ICH2m 入力回線対応部
OCH11～OCH1n、OCH21～OCH2n 出力回線対応部
AD10-1～AD10-n ATM分離部
AM10-1～AM10-n ATM多重化部

ICH31、ICH32、ICH41～ICH416 入力回線対応部

OCH31、OCH32、OCH41～OCH416 出力回線対応部

AD30-1、AD30-2 ATM分離部

AM30-1、AM30-2 ATM多重化部

AM40-1、AM40-8 ATM多重化部

AD40-1、AD30-8 ATM分離部

100-1～100-12 単位スイッチ

10 ICH51～ICH5n、ICH61～ICH6m

入力回線対応部

OCH51～OCH5n、OCH61～OCH6n

出力回線対応部

ICH 入力回線対応部

AD ATM分離部

501 書き込み制御部

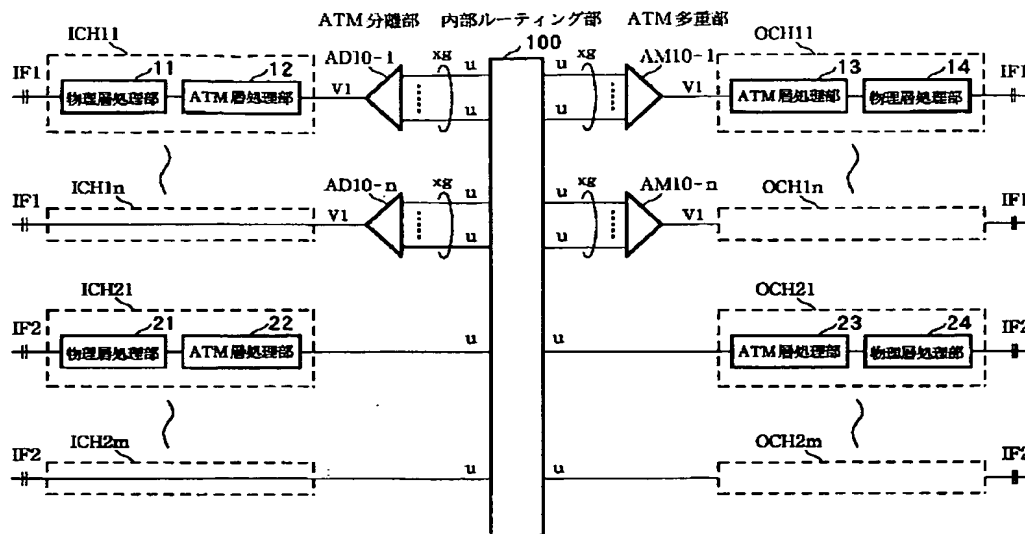
502 読み出し制御部

503 待ち合わせ制御部

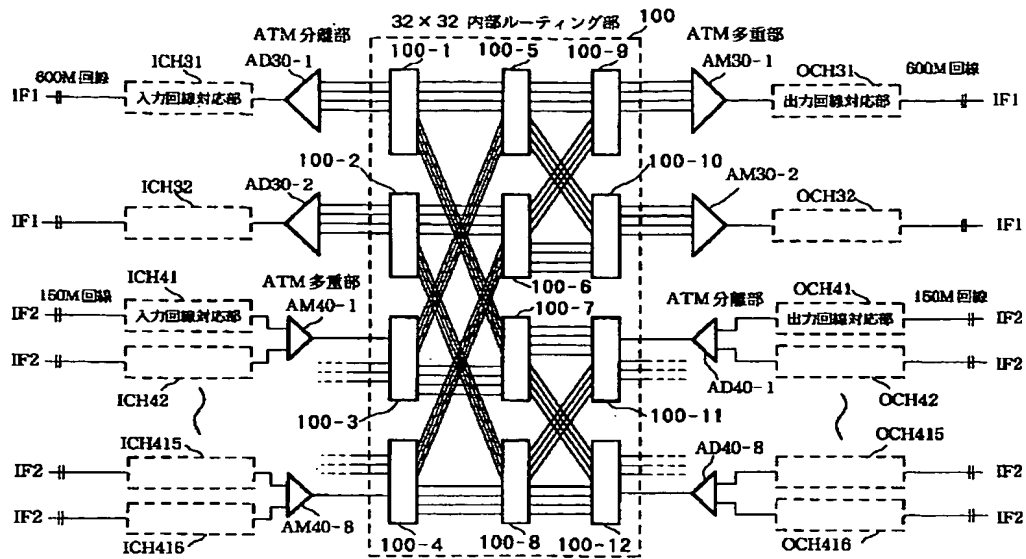
SBU シングルコネクション用セルバッファ

20 BU グループコネクション用セルバッファ

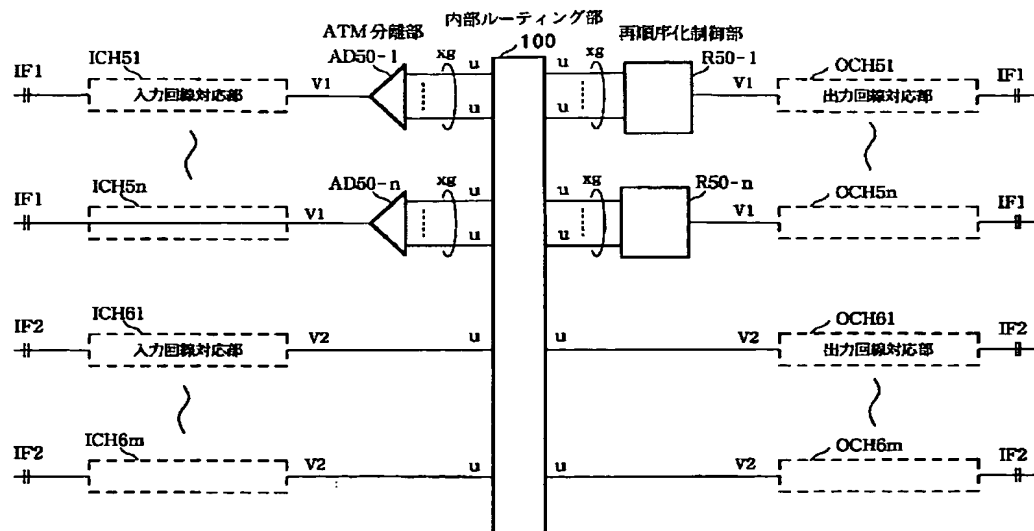
【図1】



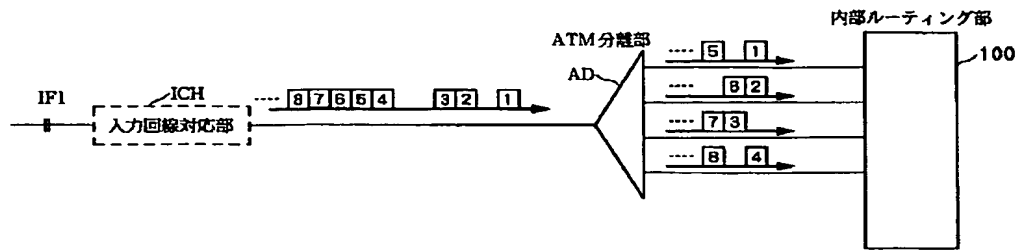
【図2】



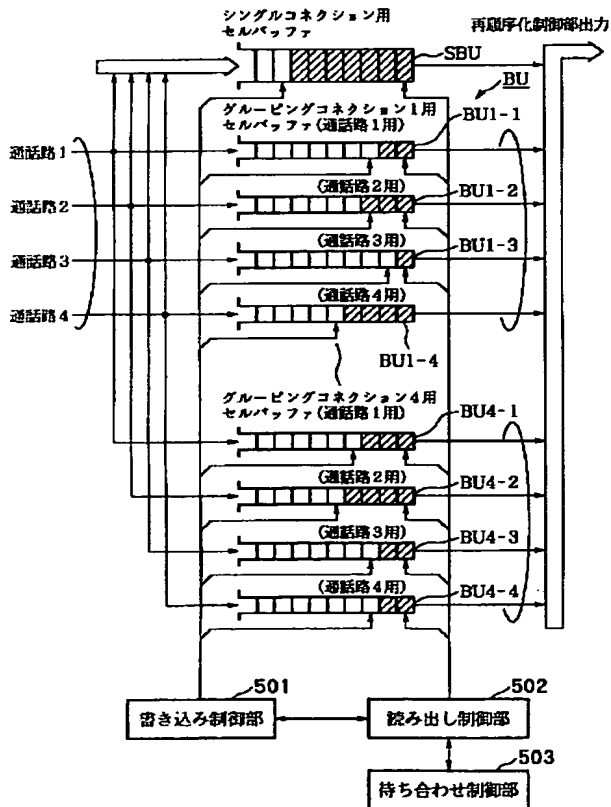
【図3】



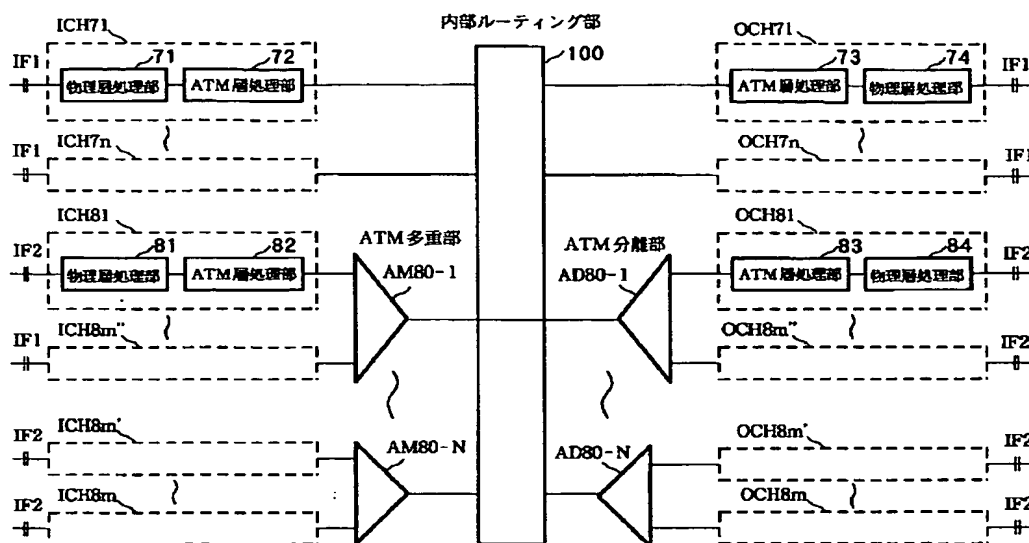
【図4】



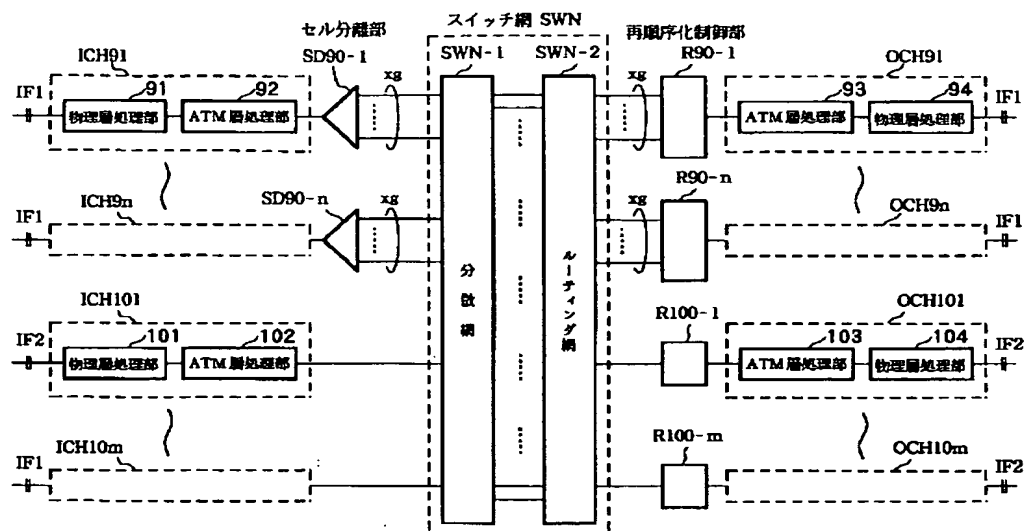
【図5】



【図6】



【図7】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-276211

(43)Date of publication of application : 13.10.1998

(51)Int.Cl.

H04L 12/28
H04Q 3/00

(21)Application number : 09-080170

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 31.03.1997

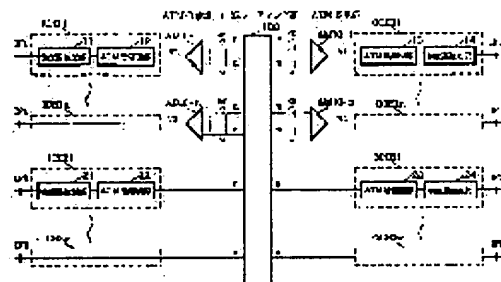
(72)Inventor : FUKUHARA MASATOMO

(54) CELL EXCHANGE METHOD AND DEVICE IN ATM EXCHANGE SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the cell exchange method and device in the ATM exchange system that contains flexibly a high speed channel without the need for the high speed operation of the device and incurring increase in the hardware scale and the cost.

SOLUTION: In this system, an ATM demultiplex section (AD10-1-AD10-n) demultiplexes a cell stream received from a high speed input channel (IF1) into pluralities of cell streams for each connection and gives them to an internal routing section 100 together with a cell stream from a low speed input channel IF2. Then the internal routing section 100 routes the cell stream received from an input speech path and outputs the cell stream from pluralities of output speech paths, pluralities of cell streams corresponding to the high speed output channel IF1 outputted from the output speech path are multiplexed at an ATM multiplexer section (AM10-1-AM10-n) and outputted to the high speed output channel IF1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the cel exchange approach in the ATM switching system which exchanges cels among two or more I/O circuits Separate an inputting-from high-speed input circuit cel style in the ATM separation section in the style of [for every connection / two or more] a cel, and it inputs into the internal routing section with the cel style from a low-speed input circuit from two or more input speech paths. Carry out routing of the cel style inputted from said input speech path in the internal routing section, and it outputs from two or more output speech paths. Two or more cel styles corresponding to the high-speed output circuit outputted from said output speech path are the cel exchange approaches in the ATM switching system characterized by multiplexing in the ATM multiplexing section and outputting to this high-speed output circuit.

[Claim 2] The cel exchange approach in the ATM switching system according to claim 1 characterized by setting up identically the transmission speed of said input speech path over said internal routing, and said output speech path.

[Claim 3] The cel exchange approach in the ATM switching system according to claim 1 characterized by setting up more greatly than the line speed of said high-speed input circuit the transmission speed of two or more whole input speech paths separated in said ATM separation section corresponding to said high-speed input circuit.

[Claim 4] In the cel exchange approach in the ATM switching system which exchanges cels among two or more I/O circuits The number of pass setup of the routing pass which the cel belonging to the same connection of the cel style inputted from the input circuit passes is fluctuated corresponding to each connection's transmission speed. The cel exchange approach in the ATM switching system characterized by amending cel sequence and outputting to an output circuit only when there is possibility of an inversion of cel sequence by the change in this number of pass setup.

[Claim 5] It is the cel exchange approach in the ATM switching system according to claim 4 characterized by to set it as plurality when a connection's transmission speed which set up individually when the number of pass setup of the routing pass to the connection set as the high-speed input circuit had a connection's transmission speed smaller than the line speed of a low-speed input circuit set as this high-speed input circuit, and was set as this high-speed input circuit is larger than the line speed of a low-speed input circuit.

[Claim 6] While dividing an inputting-from high-speed input circuit cel style into two or more input speech paths in the ATM separation section When a connection's transmission speed set as said high-speed input circuit is smaller than the line speed of said low-speed input circuit It inputs into the internal routing section through one input speech path. the cel which sets it as one of two or more of the input speech paths from which said routing pass was separated in said ATM separation section, and belongs to this connection -- this -- When a connection's transmission speed set as said high-speed input circuit is larger than the line speed of said low-speed input circuit Assign the cel which sets to two or more input speech paths of all from which said routing pass was separated in said ATM separation section, and belongs to this connection to these two or more input speech paths one by one, and it is inputted into the

internal routing section through these two or more input speech paths. As opposed to the cel belonging to the connection set to two or more input speech paths of all from which said routing pass was separated in said ATM separation section among the cels which routing is carried out and are outputted in said internal routing section The cel exchange approach in the ATM switching system according to claim 4 characterized by amending chisel cel sequence.

[Claim 7] In the cel swap device in the ATM switching system which exchanges cels among two or more I/O circuits The high-speed input circuit corresponding point which performs physical layer processing and ATM processing of an inputting-from high-speed input circuit cel style, The ATM separation section which separates the cel style processed by said high-speed input circuit corresponding point in the style of [for every connection / two or more] a cel, The low-speed input circuit corresponding point which performs physical layer processing and ATM processing of a cel style in which it was inputted from the low-speed input circuit, The cel style processed by two or more cel styles separated in said ATM separation section and said low-speed input circuit corresponding point is inputted through two or more input speech paths, respectively. The internal routing section which carries out routing of this cel style, and is outputted from two or more output speech paths, The ATM multiplexing section which multiplexes two or more cel styles which correspond to a high-speed output circuit among the cel styles outputted from two or more output speech paths of said internal routing section, The high-speed output circuit corresponding point which performs the ATM processing and physical layer processing of a cel style which were multiplexed in said ATM multiplexing section, and is outputted to a high-speed output circuit, The cel swap device in the ATM switching system characterized by providing the low-speed output circuit corresponding point which performs the ATM processing and physical layer processing of a cel style corresponding to a low-speed output circuit among the cel styles outputted from two or more output speech paths of said internal routing section, and is outputted to a low-speed output circuit.

[Claim 8] The cel swap device in the ATM switching system according to claim 7 characterized by setting up identically the transmission speed of said input speech path over said internal routing, and said output speech path.

[Claim 9] The cel swap device in the ATM switching system according to claim 7 characterized by setting up more greatly than the line speed of said high-speed input circuit the transmission speed of two or more whole input speech paths separated in said ATM separation section corresponding to said high-speed input circuit.

[Claim 10] The ATM multiplexing section for low-speed input circuits which multiplexes two or more cel styles processed by said low-speed input circuit corresponding point, and is outputted to said internal routing section through said input speech path, Two or more cel styles which correspond to a low-speed output circuit among the cel styles outputted from two or more output speech paths of said internal routing section are separated for every connection. The cel swap device in the ATM switching system according to claim 7 characterized by providing further the ATM separation section for low-speed input circuits outputted to said low-speed output circuit corresponding point.

[Claim 11] In the cel swap device in the ATM switching system which exchanges cels among two or more I/O circuits The high-speed input circuit corresponding point which performs physical layer processing and ATM processing of an inputting-from high-speed input circuit cel style, The low-speed input circuit corresponding point which performs physical layer processing and ATM processing of a cel style in which it was inputted from the low-speed input circuit, When a connection's transmission speed set as said high-speed input circuit is larger than the line speed of said low-speed input circuit An identification information grant means to give the identification information which identifies the order of arrival to each cel in said high-speed input circuit corresponding point, The cel style processed by said high-speed input circuit corresponding point when a connection's transmission speed set as said high-speed input circuit was smaller than the line speed of said low-speed input circuit is outputted to a single input speech path for every connection. The ATM separation section which assigns the cel style processed by said high-speed input circuit corresponding point when a connection's transmission speed set as said high-speed input circuit was larger than the line speed of said low-speed input circuit to two

or more input speech paths one by one, and is outputted to two or more input speech paths, The cel style processed by two or more cel styles outputted from said ATM separation section and said low-speed input circuit corresponding point is inputted through two or more input speech paths, respectively. The internal routing section which carries out routing of this cel style, and is outputted from two or more output speech paths, Two or more cel styles which correspond to a high-speed output circuit among the cel styles outputted from two or more output speech paths of said internal routing section are inputted. The re-sequence-ized control section which will detect this based on the identification information to which it was given with said identification information grant means, and will output by performing the amendment if there is a cel which the cel sequence of the cel belonging to the connection assigned to said two or more input speech paths one by one reversed, The high-speed output circuit corresponding point which performs the ATM processing and physical layer processing of a cel style which were outputted from said re-sequence-ized control section, and is outputted to a high-speed output circuit, The cel swap device in the ATM switching system characterized by providing the low-speed output circuit corresponding point which performs the ATM processing and physical layer processing of a cel style corresponding to a low-speed output circuit among the cel styles outputted from two or more output speech paths of said internal routing section, and is outputted to a low-speed output circuit.

[Claim 12] Said re-sequence-ized control section is a cel swap device in the ATM switching system according to claim 11 characterized by to provide the read-out means which will amend the cel sequence and will be read from said re-sequence-ized cel buffer if the cel which cel sequence reversed is in the cel accumulated in the re-sequence-ized cel buffer which accumulates the inputted cel temporarily, and said re-sequence-ized cel buffer.

[Claim 13] The cel buffer for single connections which accumulates the cel belonging to a connection with a transmission speed of the connection by whom said re-sequence-ized cel buffer was set as said high-speed input circuit smaller than the line speed of said low-speed input circuit, The cel buffer for grouping connections which accumulates the cel belonging to a connection with a connection's larger transmission speed set as said high-speed input circuit than the line speed of said low-speed input circuit is provided. Said read-out means The cel swap device in the ATM switching system according to claim 12 characterized by amending the cel sequence and reading from said cel buffer for grouping connections if the cel which cel sequence reversed is in the cel accumulated in said cel buffer for grouping connections.

[Claim 14] Said cel buffer for grouping connections is a cel swap device in the ATM switching system according to claim 13 characterized by consisting of two or more individual cel buffers for grouping connections by which logic partitioning was carried out for said every output speech path to said every connection at the duplex.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the cel exchange approach and equipment in the ATM switching system which enabled it to hold these circuits flexibly, holding down cost, when holding the circuit from which especially line speed differs mutually about the cel exchange approach and equipment in an ATM switching system.

[0002]

[Description of the Prior Art] In order for efficient employment of a communication network to realize implementation of high-speed communication service, and flexible offer of the multimedia service further transmitted combining various media, such as voice, an image, and data, recently, after decomposing all the information to transmit into the fixed-length short packet called a cel, development of the ATM switching system using the transmission technique called ATM (Asynchronous Transfer Mode) which makes the inside of a communication network transmit to a high speed is performed briskly.

[0003] By the way, making possible a hold gestalt busy about the combination of the number of circuit to hold and line speed as one of the important functions required of the above-mentioned ATM switching system is raised.

[0004] The circuit hold gestalt in an ATM switching system is because the configuration of the whole network to apply, the arrangement gestalt of a communication terminal, communication link traffic volume, etc. depend and it changes a lot.

[0005] It is strongly requested according to the reason making hold possible shows a more nearly high-speed circuit below especially.

[0006] 1) The number of connection setup which can be multiplexed in one circuit by using the statistics multiplex effectiveness which is one of the descriptions of an ATM transmission system can be increased so by leaps and bounds that line speed is enlarged. Consequently, the communication link cost per one connection is depressible.

[0007] 2) Since low-pricing tends to improve by leaps and bounds in the processing speed list of an information processor recently, the increment in a communication terminal and the increment in the communication link traffic accompanying new installation of a high-speed communication terminal are considered to generate an early stage and quickly exceeding the original prediction of ATM switching system installation. In this case, it is desirable to enable it to take the solution of newly holding a more nearly high-speed circuit to the introduced ATM switching system.

[0008] Drawing 6 shows an example of the conventional ATM switching system which makes various circuit hold gestalten possible while enabling hold of a high speed line.

[0009] In drawing 6, in the physical layer processing section 71 of the input circuit corresponding point ICH71 - ICH7n, and the ATM layer processing section 72, the cel style inputted from a high speed line IF 1 is inputted into the internal routing section 100, respectively, after predetermined physical layer processing and ATM layer processing are performed.

[0010] Moreover, after respectively predetermined physical layer processing and ATM layer processing are performed in the physical layer processing section 81 of the input circuit corresponding point ICH81 - ICH8n, and the ATM layer processing section 82, the cel style inputted from the low-speed circuit IF 2 is multiplexed, respectively by the ATM multiplexing section AM 80-1 - AM80-N, and is inputted into the internal routing section 100.

[0011] Routing of the cel style inputted into the internal routing section 100 is carried out to a desired attitude way by referring to the routing tag currently written in in each cel, respectively.

[0012] Respectively predetermined physical layer processing and ATM layer processing are performed in the physical layer processing section 73 of the output circuit corresponding point OCH71 - OCH7n, and the ATM layer processing section 74, and the cel style in which routing was carried out to the output side of the high speed line IF 1 by the internal routing section 100 is outputted to a high speed line IF 1.

[0013] Moreover, the cel style in which routing was carried out to the output side of the low-speed circuit IF 2 by the internal routing section 100 Separation of the cel style to a desired attitude circuit is performed by referring to the routing tag currently written in in each cel in the ATM separation section AD 80-1 - AD80-N. Then, respectively predetermined physical layer processing and ATM layer processing are performed in the physical layer processing section 83 of the output circuit corresponding point OCH81 - OCH8n, and the ATM layer processing section 84, and it is outputted to the low-speed circuit IF 2.

[0014] While the ATM multiplexing section AM 80-1 - AM80-N, and the ATM separation section AD 80-1 - AD80-N are arranged the system secret communication talk on the street of the low-speed circuit IF 2, here To the system secret communication talk on the street of a high speed line IF 1, the reason which is not arranged It is for taking adjustment of transmission speed between the I/O ways, and the high speed lines IF 1 and the low-speed circuits IF 2 to the internal routing section 100, and avoiding the futility of the cel congestion in the internal routing section 100, or routing processing capacity.

[0015] In addition, although the case where the circuit which has two kinds of line speed, a high speed line IF 1 and the low-speed circuit IF 2, was held in the configuration shown in drawing 6 was shown If two or more kinds of things from which a multiplicity differs, respectively as the ATM multiplexing section AM 80-1 - AM80-N, and the ATM separation section AD 80-1 - AD80-N are used, it will become possible to hold the circuit which had various line speed to one ATM switching system.

[0016] However, in the configuration of drawing 6, since it is constituted so that the cel style of a high speed line IF 1 may be directly inputted into the internal routing section 100 through the input circuit corresponding point ICH71 - ICH7n, the upper limit of the line speed of the circuit which can be held has the problem that it is restricted by the transmission speed of the I/O way of the internal routing section 100.

[0017] For example, when the high speed line exceeding the line speed of a high speed line IF 1 newly needs to be held after introducing the ATM switching system of a configuration as shown in drawing 6, it cannot respond to this. Therefore, it is necessary to newly introduce the ATM switching system which can respond to the line speed of this high speed line in this case, and it cannot be said that this is desirable in cost.

[0018] Moreover, in the configuration of drawing 6, although the ATM switching system which accelerated further the internal routing section 100 which is nucleus equipment of an ATM switching system is needed in order to enable it to hold the high speed line exceeding the line speed of a high speed line IF 1, it will be necessary to raise the rate engine performance of the entire component used by this ATM switching system in this case, and that implementation is not easy.

[0019] Therefore, according to the configuration shown in drawing 6, when the hold demand of a high-speed circuit occurred by the early stage after installation of this ATM switching system, there was a problem that it could not respond to this immediately.

[0020] Drawing 7 shows an example of other conventional ATM switching systems which make various circuit hold gestalten possible while enabling hold of a high speed line.

[0021] In the configuration shown in drawing 7, it is constituted using the switched network SWN

which consists of distributed network SWN-1 and routing network SWN-2.

[0022] Here, in the direction of an output circuit of a request of the inputted cel, distributed network SWN-1 performs control distributed at random not related, and this distributes the communication link load to routing network SWN-2.

[0023] Moreover, routing network SWN-2 perform control which carries out routing of the cel towards the desired direction of an output circuit by referring to the routing tag currently written in in the inputted cel.

[0024] In drawing 7 , as for the cel style inputted from a high speed line IF 1, control from which it dissociates in [in the cel separation section SD 90-1 after respectively predetermined physical layer processing and ATM layer processing were performed - SD90-n / two or more input speech paths of distributed network SWN-1 of a switched network SWN] time sharing is performed in the physical layer processing section 91 of the input circuit corresponding point ICH91 - ICH9n, and the ATM layer processing section 92. Separation over two or more of these input speech paths of distributed network SWN-1 is performed regardless of the desired direction of an output circuit.

[0025] Here, if the line speed of a high speed line IF 1 is g times the transmission speed per one speech path of a switched network SWN, the number of the input speech paths of distributed network SWN-1 separated by the cel separation section SD 90-1 - SD90-n is g.

[0026] Thus, although routing of the cel style inputted from a high speed line IF 1 is carried out by routing network SWN-2 after separating into two or more speech paths within a switched network SWN, it calls it the circuit which carried out the grouping of such a circuit after that.

[0027] On the other hand, in the physical layer processing section 101 of the input circuit corresponding point ICH101 - ICH10n, and the ATM layer processing section 102, the cel style inputted from the low-speed circuit IF 2 is inputted into distributed network SWN-1 of a switched network SWN, respectively, after predetermined physical layer processing and ATM layer processing are performed.

[0028] the cel outputted to the desired attitude way by routing network SWN-2 of a switched network SWN, respectively -- the re-sequence-ized control section R90 -- it is inputted into -1 - R90-n, and R100-1 - R100-m.

[0029] the re-sequence-ized control section R90 -1 - R90-n, and R100-1 - R100-m perform control which amends the cel sequence which the inversion generated within the switched network SWN. Here, since the routing pass in a switched network SWN becomes less fixed even if it is the cel which belongs to the same connection by control in distributed network SWN-1, the reason which the inversion of cel sequence generates within a switched network SWN is for dispersion to arise in the pass time which each cel experiences.

[0030] It is raised that the accumulated dose of the blocking buffer cel buffer put on the interior of the unit switch which constitutes the taking [the cel synchronization between the unit switches which constitute the 1 switched network SWN / necessarily]-as cause which this dispersion generates 2 switched network SWN is not necessarily equal between unit switches etc.

[0031] re-sequence-ized control-section R90-1-R90- the cel style by which cel sequence was amended by n and R100-1 - R100-m is inputted into the output circuit corresponding point OCH91 - OCH9n, and OCH91-OCH9n.

[0032] And respectively predetermined physical layer processing and ATM layer processing are performed by the physical layer processing section 93 of the output circuit corresponding point OCH91 - OCH9n, and ATM layer processing section 9 <TXF FR=0002 HE=250 WI=080 LX=1100 LY=0300> 4, and the cel by which routing was carried out in the direction of an output side of a high speed line IF 1 is outputted to a high speed line IF 1.

[0033] Moreover, respectively predetermined physical layer processing and ATM layer processing are performed in the physical layer processing section 103 of the output circuit corresponding point OCH101 - OCH10n, and the ATM layer processing section 104, and the cel by which routing was carried out in the direction of an output side of the low-speed circuit IF 2 is outputted to the low-speed circuit IF 2.

[0034] According to the configuration shown in this drawing 7 , since the load to routing network SWN-

2 is equated by distributed network SWN-1 of a switched network SWN, a high-speed circuit can be held without limit by enlarging the several g speech path which carries out grouping.

[0035] In addition, in the configuration shown in drawing 7, although the case where the circuit which has two kinds of line speed, a high speed line IF 1 and the low-speed circuit IF 2, was held was shown, it is also possible to hold a low-speed circuit from the low-speed circuit IF 2 by preparing the ATM multiplexing section and the ATM separation section like the configuration shown in drawing 6.

[0036] moreover, the re-sequence-ized control section R90 of the ATM switching system shown in drawing 7 -- the re-sequence-ized control in -1 - R90-n, and R100-1 - R100-m performs control of reading the cel which stored the cel outputted from the switched network SWN in the cel buffer which is in a re-sequence-ized control section temporarily, and was stored in this cel buffer based on the reference value currently written in the cel. Here, two kinds of methods, the method using a time stamp as a reference value which is needed for this re-sequence-ized control, and the method using a sequence number, are learned.

[0037] next, this re-sequence-ized control section R90 -- three methods by which the conventional proposal is made as re-sequence-ized control in -1 - R90-n, and R100-1 - R100-m are explained.

[0038] 1) A time stamp is used for the 1st re-sequence-ized control system as a reference value which is needed for re-sequence-ized control. In this method, if a cel reaches the ATM layer processing section 92 of the input circuit corresponding point ICH91 - ICH9n, and ICH101-ICH10n, and the ATM layer processing section 102, the time of day which reached the ATM layer processing section 92 and the ATM layer processing section 102 will be written in this cel. Hereafter, the thing of the time of day written in this cel is called a time stamp. The time of day used for this time stamp has become settled uniquely within this ATM switching system.

[0039] it outputs from a switched network SWN -- having -- the re-sequence-ized control section R90 -- while the cel inputted into -1 - R90-n, and R100-1 - R100-m is written in the re-sequence-ized cel buffer of that interior -- this cel -- the re-sequence-ized control section R90 -- the time of day which reached -1 - R90-n, and R100-1 - R100-m is registered into the arrival time managed table in that interior.

[0040] Read-out of the cel from a re-sequence-ized cel buffer is restricted and performed when it is detected that the predetermined cel in which the residence time of the cel in a re-sequence-ized cel buffer passed with reference to the arrival time managed table for every 1 cel period for W hours or more exists. Moreover, when the cel in which the residence time in a re-sequence-ized cel buffer passed for W hours or more exists, the smallest cel of a time stamp is read from among the cels currently stored in this re-sequence-ized cel buffer.

[0041] Here, it is W hours used for the read-out judging of the cel from this re-sequence-ized cel buffer $W = (\text{the maximum time delay in a switched network SWN}) - (\text{minimal delay time amount in a switched network SWN})$

If it is alike and sets up, alignment-ization of the reversed cel sequence can be performed.

[0042] 2) Use a time stamp as a reference value with which the 1st re-sequence-ized control system is also needed for re-sequence-ized control. although this method is the same as the 1st re-sequence-ized control system at the point of using a time stamp -- the re-sequence-ized control section R90 -- the control approaches of the re-sequence-ized cel buffer inside -1 - R90-n, and R100-1 - R100-m differ.

[0043] it outputs from a switched network SWN -- having -- the re-sequence-ized control section R90 -- the cel inputted into -1 - R90-n, and R100-1 - R100-m while being written in the re-sequence-ized cel buffer of that interior -- this cel -- the formation of re-sequence -- control-section R90-1 - R90-n -- The read-out time of day from the re-sequence-ized cel buffer of this cel is beforehand computed using the time of day which reached R100-1 - R100-m, and the time stamp value currently written in this cel, and this calculation value is registered into the table for output time of day control.

[0044] If read-out of the cel from a re-sequence-ized cel buffer has an output schedule cel in the present time of day with reference to the table for output time of day control for every 1 cel period, it will read this.

[0045] Here, the output schedule time of day registered into the table for output time of day control is calculated so that the cel pass time in a switched network SWN may become the same about all the cels

that pass this ATM switching system. namely, the re-sequence-ized control section R90 -1 - R90-n, and R100-1 - R100-m function as equivalence equipment of the cel time delay in a switched network SWN.

[0046] 3) Unlike the 1st and 2nd re-sequence-ized control systems mentioned above, a sequence number is used for the 3rd re-sequence-ized control system as a reference value which is needed for re-sequence-ized control. In this method, as for a sequence number, the sequence number of ascending order is written in each cel for every connection in the ATM layer processing section 92 of the input circuit corresponding point ICH91 - ICH9n, and ICH101-ICH10n, and the ATM layer processing section 102.

[0047] it outputs from a switched network SWN -- having -- the re-sequence-ized control section R90 -- while the cel inputted into -1 - R90-n, and R100-1 - R100-m is written in the re-sequence-ized cel buffer of that interior, the sequence number written in this cel is registered into the sequence number managed table for every connection. It is registered while the cel location of the written-in re-sequence-ized cel buffer aligns according to a sequence number on a sequence number managed table in the case of registration of this sequence number.

[0048] If the cel following the degree of the sequence number of the cel read by the present cel period with reference to the sequence number managed table for every 1 cel period is registered, this is read and read-out of the cel from a re-sequence-ized cel buffer is not registered, it refrains from read-out of the cel from a re-sequence-ized cel buffer. Here, when it refrains from read-out of W hours or more explained with the 1st re-sequence-ized control system, this sequence number for which it was waiting is flown, and the cel of the following sequence number is read.

[0049] In addition, what is necessary is just to constitute in the re-sequence-ized control system of the circuit which carried out grouping in explanation of the 1st thru/or 3rd re-sequence-ized control system mentioned above, so that the control mentioned above may be repeated g times between 1 cel periods by the side of a switched network SWN although the re-sequence-ized control system of the circuit which has not carried out grouping was described.

[0050] As mentioned above, the conventional ATM switching system shown in drawing 7 has the advantage that a high-speed circuit can be held without limit by increasing the number of speech paths which carries out grouping, but on the other hand it has a fault as shown below.

[0051] 1) the function in which time stamp **** used for re-sequence-ization of a cel adds a sequence number -- all the input circuit corresponding points ICH91 - ICH9n, and ICH101-ICH10n -- it is necessary to prepare -- moreover, all the output speech paths of a switched network SWN -- the re-sequence-ized control section R90 -- since it is necessary to prepare -1 - R90-n, and R100-1 - R100-m, this causes the cost of the whole ATM switching system, and increase of a hard scale.

[0052] 2) the re-sequence-ized control section R90, if the 1st or 2nd re-sequence-ized control system using a time stamp as a re-sequence-ized control system of -1 - R90-n, and R100-1 - R100-m is adopted It is necessary to take a time-of-day synchronization by all the time stamp adjuncts and re-sequence-ized control sections which exist in an ATM switching system. It is in phase and it necessary to distribute the clock signal for setting forward a time-of-day reset signal and time of day for this time-of-day synchronization to all time stamp adjuncts and re-sequence-ized control sections, and as for this, implementation becomes difficult when the system scale of an ATM switching system becomes more than middle-scale.

[0053] 3) the re-sequence-ized control section R90, when the 1st or 2nd re-sequence-ized control system is adopted as a re-sequence-ized control system of -1 - R90-n, and R100-1 - R100-m the re-sequence-ized control section R90, since it is constituted so that it may read after storing temporarily all the cels that reached -1 - R90-n, and R100-1 - R100-m in a re-sequence-ized cel buffer and staying beyond convention time amount While queuing control is performed uniformly [the need of carrying out queuing, without reversing cel sequence] also for an inside case and a communication link time delay increases by this, since it decides on this queuing time amount in consideration of the time of the worst busy condition, it serves as a value which cannot be disregarded.

[0054] 4) the re-sequence-ized control section R90 -- since the actuation which searches the oldest cel is needed and this retrieval actuation generally turns into complicated actuation with much number of steps when the 1st re-sequence-ized control system is adopted as a re-sequence-ized control system of -1 -

R90-n, and R100-1 - R100-m, high-speed operation is unrealizable.

[0055] 5) the re-sequence-ized control section R90 -- when the 2nd re-sequence-ized control system is adopted as a re-sequence-ized control system of -1 - R90-n, and R100-1 - R100-m, since it is necessary to refer to the information on the registered table for output time of day control for management of the table for output time of day control of a circuit which carried out grouping, control is not easy for it.

[0056] 6) the re-sequence-ized control section R90, when the 3rd re-sequence-ized control system is adopted as a re-sequence-ized control system of -1 - R90-n, and R100-1 - R100-m A re-sequence-ized cel buffer and a sequence number managed table Since it must assume also when the number of connections which is multiplexed in 1 circuit and which needs to manage for every connection and is multiplexed in 1 circuit in an ATM switching system exceeds thousands, it becomes huge about a hard scale and implementation is difficult.

[0057]

[Problem(s) to be Solved by the Invention] In the conventional ATM electronic switching system shown in drawing 6 as mentioned above There is a problem that the upper limit of the line speed which can be held is restricted by the transmission speed per one speech path of the internal routing section.

Moreover, it sets to other conventional ATM electronic switching system shown in drawing 7 . 1) Since time stamp **** used for re-sequence-ization of a cel needs to prepare the function which adds a sequence number in all input circuit corresponding points and it is necessary to prepare a re-sequence-ized control section in all the output speech paths of a switched network If the method using a time stamp as a re-sequence-ized control system of 2 re-sequence-ized control section which causes the cost of the whole ATM switching system and increase of a hard scale by this is adopted It is necessary to take a time-of-day synchronization by all the time stamp adjuncts and re-sequence-ized control sections which exist in an ATM switching system. It is in phase and it necessary to distribute the clock signal for setting forward a time-of-day reset signal and time of day for this time-of-day synchronization to all time stamp adjuncts and re-sequence-ized control sections. When this adopts the method using a time stamp as a re-sequence-ized control system of 3 re-sequence-ized control section with which implementation becomes difficult when the system scale of an ATM switching system becomes more than middle-scale, Since it is constituted so that it may read after storing temporarily all the cels that reached the re-sequence-ized control section in a re-sequence-ized cel buffer and staying beyond convention time amount, While queuing control is performed uniformly [the need of carrying out queuing, without reversing cel sequence] also for an inside case and a communication link time delay increases by this Since it decides on this queuing time amount in consideration of the time of the worst busy condition, Since the actuation which searches the oldest cel is needed and this retrieval actuation generally turns into complicated actuation with much number of steps when the method using a time stamp as a re-sequence-ized control system of 4 re-sequence-ized control section used as the value which cannot be disregarded is adopted, high-speed operation is unrealizable. moreover, for management of the table for output time of day control of a circuit which carried out grouping Since it is necessary to refer to the information on the registered table for output time of day control, When control adopts the method using a sequence number as a re-sequence-ized control system of 5 re-sequence-ized control section which is not easy, a re-sequence-ized cel buffer and a sequence number managed table since it must assume also when the number of connections which is multiplexed in 1 circuit and which needs to manage for every connection and is multiplexed in 1 circuit in an ATM switching system exceeds thousands, it becomes huge about a hard scale and implementation is difficult -- etc. -- there was a problem.

[0058] Then, this invention aims at offering the cel exchange approach and equipment in the ATM switching system which can hold a high speed line flexibly, without [without it requires the high-speed operation of the whole equipment, and] causing increase of a hard scale and cost.

[0059]

[Means for Solving the Problem] In the cel exchange approach in the ATM switching system for which this invention exchanges a cel among two or more I/O circuits in order to attain the above-mentioned purpose Separate an inputting-from high-speed input circuit cel style in the ATM separation section in

the style of [for every connection / two or more] a cel, and it inputs into the internal routing section with the cel style from a low-speed input circuit from two or more input speech paths. In the internal routing section, routing of the cel style inputted from said input speech path is carried out, and it is characterized by multiplexing two or more cel styles corresponding to the high-speed output circuit which outputted from two or more output speech paths, and was outputted from said output speech path in the ATM multiplexing section, and outputting them to this high-speed output circuit.

[0060] Here, the transmission speed of said input speech path over said internal routing and said output speech path can be constituted so that it may set up identically.

[0061] Moreover, the transmission speed of two or more whole input speech paths separated in said ATM separation section corresponding to said high-speed input circuit can be constituted so that it may set up more greatly than the line speed of said high-speed input circuit.

[0062] Moreover, in this invention, it sets to the cel exchange approach in the ATM switching system which exchanges cels among two or more I/O circuits. The number of pass setup of the routing pass which the cel belonging to the same connection of the cel style inputted from the input circuit passes is fluctuated corresponding to each connection's transmission speed. Only when there is possibility of an inversion of cel sequence by the change in this number of pass setup, it is characterized by amending cel sequence and outputting to an output circuit.

[0063] Here, when a connection's transmission speed which set up individually when the number of pass setup of the routing pass to the connection set as the high-speed input circuit had a connection's transmission speed smaller than the line speed of a low-speed input circuit set as this high-speed input circuit, and was set as this high-speed input circuit is larger than the line speed of a low-speed input circuit, it can constitute so that it may be set as plurality.

[0064] Moreover, while dividing an inputting-from high-speed input circuit cel style into two or more input speech paths in the ATM separation section When a connection's transmission speed set as said high-speed input circuit is smaller than the line speed of said low-speed input circuit It inputs into the internal routing section through one input speech path. the cel which sets it as one of two or more of the input speech paths from which said routing pass was separated in said ATM separation section, and belongs to this connection -- this -- When a connection's transmission speed set as said high-speed input circuit is larger than the line speed of said low-speed input circuit Assign the cel which sets to two or more input speech paths of all from which said routing pass was separated in said ATM separation section, and belongs to this connection to these two or more input speech paths one by one, and it is inputted into the internal routing section through these two or more input speech paths. It can constitute so that cel sequence may be amended only to the cel belonging to the connection set to two or more input speech paths of all from which said routing pass was separated in said ATM separation section among the cels which routing is carried out and are outputted in said internal routing section.

[0065] Moreover, in this invention, it sets to the cel swap device in the ATM switching system which exchanges cels among two or more I/O circuits. The high-speed input circuit corresponding point which performs physical layer processing and ATM processing of an inputting-from high-speed input circuit cel style, The ATM separation section which separates the cel style processed by said high-speed input circuit corresponding point in the style of [for every connection / two or more] a cel, The low-speed input circuit corresponding point which performs physical layer processing and ATM processing of a cel style in which it was inputted from the low-speed input circuit, The cel style processed by two or more cel styles separated in said ATM separation section and said low-speed input circuit corresponding point is inputted through two or more input speech paths, respectively. The internal routing section which carries out routing of this cel style, and is outputted from two or more output speech paths, The ATM multiplexing section which multiplexes two or more cel styles which correspond to a high-speed output circuit among the cel styles outputted from two or more output speech paths of said internal routing section, The high-speed output circuit corresponding point which performs the ATM processing and physical layer processing of a cel style which were multiplexed in said ATM multiplexing section, and is outputted to a high-speed output circuit, It is characterized by providing the low-speed output circuit corresponding point which performs the ATM processing and physical layer processing of a cel style

corresponding to a low-speed output circuit among the cel styles outputted from two or more output speech paths of said internal routing section, and is outputted to a low-speed output circuit.

[0066] Here, the transmission speed of said input speech path over said internal routing and said output speech path can be constituted so that it may set up identically.

[0067] Moreover, the transmission speed of two or more whole input speech paths separated in said ATM separation section corresponding to said high-speed input circuit can be constituted so that it may set up more greatly than the line speed of said high-speed input circuit.

[0068] Moreover, the ATM multiplexing section for low-speed input circuits which multiplexes two or more cel styles processed by said low-speed input circuit corresponding point, and is outputted to said internal routing section through said input speech path, The ATM separation section for low-speed input circuits which separates two or more cel styles which correspond to a low-speed output circuit among the cel styles outputted from two or more output speech paths of said internal routing section for every connection, and is outputted to said low-speed output circuit corresponding point can be provided further, and can be constituted.

[0069] Moreover, this invention is set to the cel swap device in the ATM switching system which exchanges cels among two or more I/O circuits. The high-speed input circuit corresponding point which performs physical layer processing and ATM processing of an inputting-from high-speed input circuit cel style, The low-speed input circuit corresponding point which performs physical layer processing and ATM processing of a cel style in which it was inputted from the low-speed input circuit, When a connection's transmission speed set as said high-speed input circuit is larger than the line speed of said low-speed input circuit An identification information grant means to give the identification information which identifies the order of arrival to each cel in said high-speed input circuit corresponding point, The cel style processed by said high-speed input circuit corresponding point when a connection's transmission speed set as said high-speed input circuit was smaller than the line speed of said low-speed input circuit is outputted to a single input speech path for every connection. The ATM separation section which assigns the cel style processed by said high-speed input circuit corresponding point when a connection's transmission speed set as said high-speed input circuit was larger than the line speed of said low-speed input circuit to two or more input speech paths one by one, and is outputted to two or more input speech paths, The cel style processed by two or more cel styles outputted from said ATM separation section and said low-speed input circuit corresponding point is inputted through two or more input speech paths, respectively. The internal routing section which carries out routing of this cel style, and is outputted from two or more output speech paths, Two or more cel styles which correspond to a high-speed output circuit among the cel styles outputted from two or more output speech paths of said internal routing section are inputted. The re-sequence-ized control section which will detect this based on the identification information to which it was given with said identification information grant means, and will output by performing the amendment if there is a cel which the cel sequence of the cel belonging to the connection assigned to said two or more input speech paths one by one reversed, The high-speed output circuit corresponding point which performs the ATM processing and physical layer processing of a cel style which were outputted from said re-sequence-ized control section, and is outputted to a high-speed output circuit, It is characterized by providing the low-speed output circuit corresponding point which performs the ATM processing and physical layer processing of a cel style corresponding to a low-speed output circuit among the cel styles outputted from two or more output speech paths of said internal routing section, and is outputted to a low-speed output circuit.

[0070] If the cel which cel sequence reversed is in the cel accumulated in the re-sequence-ized cel buffer which accumulates temporarily the cel into which said re-sequence-ized control section was inputted here, and said re-sequence-ized cel buffer, the read-out means which amends the cel sequence and is read from said re-sequence-ized cel buffer can be provided and constituted.

[0071] Moreover, the cel buffer for single connections which accumulates the cel belonging to a connection with a transmission speed of the connection by whom said re-sequence-ized cel buffer was set as said high-speed input circuit smaller than the line speed of said low-speed input circuit, The cel buffer for grouping connections which accumulates the cel belonging to a connection with a

connection's larger transmission speed set as said high-speed input circuit than the line speed of said low-speed input circuit is provided. If the cel which cel sequence reversed is in the cel accumulated in said cel buffer for grouping connections, said read-out means can be constituted so that the cel sequence may be amended and it may read from said cel buffer for grouping connections.

[0072] Moreover, said cel buffer for grouping connections can consist of two or more individual cel buffers for grouping connections by which logic partitioning was carried out for said every output speech path to said every connection at the duplex.

[0073]

[Embodiment of the Invention] Hereafter, the example of the cel exchange approach in the ATM switching system concerning this invention and equipment is explained to a detail with reference to an accompanying drawing.

[0074] Drawing 1 shows the 1st example of the ATM switching system constituted with the application of the cel exchange approach and equipment in the ATM switching system concerning this invention.

[0075] In drawing 1, the cel style inputted from a high speed line IF 1 After predetermined physical layer processing and ATM layer processing were performed, respectively in 11 and the ATM layer processing section 12 of the input circuit corresponding point ICH11 - ICH1n, By referring to the routing tag currently written in in each cel in the ATM separation section AD 10-1 - AD10-n, separation of the cel style to the desired direction of an output circuit is performed, respectively, and it is inputted into the internal routing section 100.

[0076] On the other hand, in the physical layer processing section 21 of the input circuit corresponding point ICH21 - ICH2n, and the ATM layer processing section 22, the cel style inputted from the low-speed circuit IF 2 is inputted into the internal routing section 100, respectively, after predetermined physical layer processing and ATM layer processing are performed.

[0077] Routing of the cel style inputted into the internal routing section 100 is carried out towards the desired direction of an output circuit, respectively by referring to the routing tag currently written in in each cel.

[0078] After the cel style in which routing was carried out to the output side of a high speed line IF 1 by the internal routing section 100 is multiplexed, respectively by the ATM multiplexing section AM 10-1 - AM10-n, respectively predetermined physical layer processing and ATM layer processing are performed in the physical layer processing section 13 of the output circuit corresponding point OCH11 - OCH1n, and the ATM layer processing section 14, and it is outputted to a high speed line IF 1.

[0079] Moreover, respectively predetermined physical layer processing and ATM layer processing are performed in the physical layer processing section 23 of the output circuit corresponding point OCH21 - OCH2n, and the ATM layer processing section 24, and the cel style in which routing was carried out to the output side of the low-speed circuit IF 2 by the internal routing section 100 is outputted to the low-speed circuit IF 2.

[0080] The input circuit corresponding point ICH11 on this 1st example and here corresponding to a high speed line IF 1 - ICH1n, The ATM separation section AD 10-1 - AD10-n, and the ATM multiplexing section AM 10-1 - AM10-n, In order to replace with the output circuit corresponding point OCH11 - OCH1n and to enable it to install easily the input circuit corresponding point ICH21 - ICH2n, and the output circuit corresponding point OCH21 - OCH2n corresponding to the low-speed circuit IF 2 The ATM separation section AD 10-1 - AD10-n The internal routing section 100 The speech path to connect And the internal routing section 100 The ATM multiplexing section AM 10-1 - AM10-n The speech path to connect And all the transmission speed of the speech path which connects the speech path and the internal routing section 100 which connect the input circuit corresponding point ICH21 - ICH2n, and the internal routing section 100, the output circuit corresponding point OCH21 - OCH2n is set up so that it may become the same transmission speed u.

[0081] Moreover, what has the routing processing capacity which a connection can set up between the I/O circuits of arbitration is used, without generating cel congestion, also when the internal routing section 100 holds the low-speed circuit IF 2 in all the I/O speech paths.

[0082] A busy circuit hold gestalt can be realized by the above-mentioned configuration, without using

vainly the routing processing capacity of the internal routing section 100.

[0083] In addition, in the 1st example shown in drawing 1, since the cel belonging to a certain connection is set up so that one routing pass may always be passed, the re-sequence-ized control section of the cel used by the conventional ATM switching system shown in drawing 7 becomes unnecessary.

[0084] Moreover, it is constituted so that the transmission speed of each whole speech path which connects the ATM separation section AD 10-1 - AD10-n, and the internal routing section 100 corresponding to a high speed line IF 1 in the 1st example shown in drawing 1 may become larger than the line speed of a high speed line IF 1.

[0085] For example, in the example which shows the number of speech paths which connects V1, and the ATM multiplexing section AM 10-1 and the internal routing section 100 for the line speed of a high speed line IF 1 to this drawing 1 when g and transmission speed of each speech path are set to u, severalg of the speech path which connects the ATM multiplexing section AM 10-1 and the internal routing section 100 so that the conditions of $V1 < gxu$ may be fulfilled, and the transmission speed u of each speech path are set up.

[0086] According to such a configuration, it becomes possible to enlarge the maximum transmission speed of the number of the connections who can set it as a high speed line IF 1, or each connection. It becomes possible to enlarge this by leaps and bounds by using the statistics multiplex effectiveness which is one of the descriptions of an ATM transmission system.

[0087] The case where several g of the speech path which connects [the line speed V2 of the low-speed circuit IF 2] 600Mbps(es), and the ATM multiplexing section AM 10-1 and the internal routing section 100 for the line speed V1 of 150Mbps(es) and a high speed line IF 1 is now set to "4" is considered.

[0088] Here, the connection of four 100Mbps(es) is set up on a high speed line IF 1, and these connections presuppose that it is set as each of four speech paths outputted from the ATM multiplexing section AM 10-1 corresponding to the input circuit corresponding point ICH11.

[0089] The maximum velocity of the connection who can newly set up in this situation remains in 50Mbps, when transmission speed u of these four speech paths is set to 150Mbps(es), but if it sets this transmission speed u to 300Mbps(es), 150Mbps of it will become possible.

[0090] In addition, when transmission speed u of a speech path is set to 300Mbps(es), it is made to operate by **** of the line-speed 150Mbps about the low-speed circuit IF 2, but it does not become a serious failure to realize this, when the internal routing section 100 is constituted.

[0091] It is because it is common to make it operate by **** of the line speed of the circuit which holds the transmission speed of the channel which connects between unit switches in an ATM switching system in order to simplify the configuration of the internal routing section 100 comparatively, when it constitutes the internal routing section 100 more than middle-scale using a unit switch.

[0092] In addition, in the 1st example shown in this drawing 1, you may constitute so that the priority control according to QOS (Quality Of Service) directed for every connection in the ATM separation section AD 10-1 - AD10-n, and the ATM multiplexing section AM 10-1 - AM10-n corresponding to a high speed line IF 1 may be performed.

[0093] Drawing 2 shows the 2nd example of the ATM switching system concerning this invention whose line speed enables hold of the high speed line of 600Mbps(es) to the internal routing section [line speed] 100 which can 32 hold the circuit of 150Mbps(es).

[0094] In this 2nd example, the internal routing section 100 has realized 32 input 32 output by making the Van John connection of the unit switch 100-1 to 100-12 of 8 input 8 output of 12 pieces.

[0095] In the configuration of this drawing 2, the transmission speed of the speech path which connects between 12 unit switch [which constitute the internal routing section 100] 100-1 - 100-12 is 300Mbps (es), and the I/O channel over this internal routing section 100 also has the transmission speed of 300Mbps(es).

[0096] Thereby, it enables the internal routing section 100 to carry out routing of the connection to a maximum of 150 Mbps between the I/O circuits of arbitration.

[0097] In the configuration of drawing 2, namely, the cel style into which line speed is inputted from the high speed line IF 1 of 600Mbps(es) After predetermined physical layer processing and ATM layer

processing were performed by the input circuit corresponding points ICH31-ICH32, respectively, Separation of four which is each a cel style to the desired direction of an output circuit is performed by what the routing tag currently written in in each cel in the ATM separation sections [AD / AD and / 30-2] 30-1 is referred to for, and it is inputted into the unit switch 100-1,100-2 of the internal routing section 100.

[0098] Moreover, ATM multiplexing of the output of two input circuit corresponding points is carried out, respectively by the eight ATM multiplexing sections AM 40-1 - AM 40-8, and the cel style into which line speed is inputted from the low-speed circuit IF 2 of 150Mbps(es) is inputted into the unit switch 100-3,100-4 of the internal routing section 100, after respectively predetermined physical layer processing and ATM layer processing are performed by the input circuit corresponding points ICH41-ICH416.

[0099] Routing of the cel style inputted into the internal routing section 100 is carried out [by referring to the routing tag currently written in in each cel] towards the desired direction of an output circuit, respectively by 12 unit switches 100-1 to 100-12.

[0100] And after the cel style in which routing was carried out to the output side of a high speed line IF 1 by the internal routing section 100 is multiplexed, respectively in the ATM multiplexing sections [AM / AM and / 30-2] 30-1, respectively predetermined physical layer processing and ATM layer processing are performed by the output circuit corresponding points OCH31 and OCH32, and it is outputted to a high speed line IF 1.

[0101] Moreover, the cel style in which routing was carried out to the output side of the low-speed circuit IF 2 by the internal routing section 100 Separation of the cel style to the desired direction of an output circuit is performed, respectively by referring to the routing tag currently written in in each cel in the ATM separation section AD 40-1 - AD 30-8. Respectively predetermined physical layer processing and ATM layer processing are performed by the output circuit corresponding points OCH41-OCH416, and it is outputted to the low-speed circuit IF 2.

[0102] In addition, in the 2nd example shown in this drawing 2 , it sets in the ATM separation sections [AD / AD and / 30-2] 30-1 corresponding to a high speed line IF 1, and the ATM multiplexing sections [AM / AM and / 30-2] 30-1. moreover You may constitute so that the priority control according to QOS (Quality Of Service) directed for every connection in the ATM multiplexing section AM 40-1 corresponding to the low-speed circuit IF 2 - AM 40-8, and the ATM separation section AD 40-1 - AD 30-8 may be performed.

[0103] Drawing 3 shows the 3rd example of the ATM switching system concerning this invention.

[0104] Although that fundamental configuration and actuation are the same as that of the 1st example shown in drawing 1 , the 3rd example shown in this drawing 3 In this 3rd example To drawing 1 To the shown high speed line IF 1 Instead of the corresponding ATM multiplexing section AM 10-1 - AM10-n re--- the setting approach of the routing pass in having prepared sequence-ized control-section R50-1-R50-n, and the ATM separation section AD 50-1 corresponding to a high speed line IF 1 - AD50-n differs from the 1st example shown in drawing 1 .

[0105] That is, in the 1st example shown in drawing 1 , since the cel belonging to a certain connection had set routing pass so that one routing pass might always be passed, the maximum transmission speed of the connection who can set up did not exceed the line speed V2 of the low-speed circuit IF 2.

[0106] On the other hand, it enables it to set up the connection exceeding the line speed V2 of the low-speed circuit IF 2 on a high speed line IF 1 in the 3rd example shown in drawing 3 , using the same internal routing section 100 as drawing 1 .

[0107] In drawing 3 , the cel style inputted from a high speed line IF 1 By the input circuit corresponding point ICH51 - ICH5n, after predetermined physical layer processing and ATM layer processing are performed, it is inputted into the ATM separation section AD 50-1 - AD50-n, respectively. Here By referring to the routing tag currently written in in each cel, separation of the cel style to the desired direction of an output circuit is performed, respectively, and it is inputted into the internal routing section 100.

[0108] Separation of the cel style in this ATM separation section AD 50-1 - AD50-n is performed as

follows.

[0109] 1) Separate the cel belonging to the connection on whom transmission speed does not exceed the line speed V2 of the low-speed circuit IF 2 so that one routing pass may always be passed. This control is the same as that of the 1st example shown in drawing 1.

[0110] 2) About the cel belonging to the connection on whom transmission speed exceeds the line speed V2 of the low-speed circuit IF 2 Routing pass is set as two or more speech paths which connect the ATM separation section AD 50-1 - AD50-n, and the internal routing section 100 at coincidence. A cel style is separated by assigning the cel belonging to the connection on whom transmission speed exceeds the line speed V2 of the low-speed circuit IF 2 to this set routing pass in round according to arrival sequence.

[0111] According to such a configuration, the transmission speed of each routing pass set as two or more speech paths does not exceed the line speed V2 of the low-speed circuit IF 2, and, thereby, cel congestion does not generate it in the internal routing section 100.

[0112] In addition, since routing of the cel belonging to the connection on whom transmission speed exceeds the line speed V2 of the low-speed circuit IF 2 in this case will be carried out to two or more routing pass of two or more, the inversion of cel sequence may be generated in the internal routing section 100. In order to amend this inversion behind, in the input circuit corresponding point ICH51 corresponding to a high speed line IF 1 - ICH5n, the writing of a sequence number which followed in order of arrival of a cel only about the cel belonging to the connection on whom that transmission speed exceeds the line speed V2 of the low-speed circuit IF 2 is performed.

[0113] Signs that the cel belonging to the connection on whom transmission speed exceeds the line speed V2 of the low-speed circuit IF 2 is assigned in round to two or more speech paths in the ATM separation section AD 50-1 - AD50-n are shown in drawing 4.

[0114] In drawing 4, when the cel belonging to the connection on whom the transmission speed exceeds the line speed V2 of the low-speed circuit IF 2 reaches the input circuit corresponding point ICH (ICH 51) - ICH5n) corresponding to a high speed line IF 1, according to the order of arrival of the cel, a sequence number is written in it, and it is outputted to it at the ATM separation section AD (AD 50-1 - AD50-n).

[0115] In the ATM separation section AD, a cel style is separated by assigning the cel inputted from this input circuit corresponding point ICH to the speech path connected to the internal routing section 100 in sequential round according to that arrival sequence.

[0116] In addition, in the 3rd example shown in this drawing 3, since routing pass differs according to a connection's transmission speed, below, the connection on whom a single connection and transmission speed exceed the line speed V2 of the low-speed circuit IF 2 for the connection on whom transmission speed does not exceed the line speed V2 of the low-speed circuit IF 2 is called a grouping connection.

[0117] On the other hand, by the input circuit corresponding point ICH61 - ICH6n, the cel style inputted from the low-speed circuit IF 2 is inputted into the internal routing section 100, respectively, after predetermined physical layer processing and ATM layer processing are performed.

[0118] Routing of the cel style inputted into the internal routing section 100 is carried out towards the desired direction of an output circuit, respectively by referring to the routing tag currently written in in each cel.

[0119] the cel style in which routing was carried out to the output side of a high speed line IF 1 by the internal routing section 100 -- re--- it is inputted into sequence-ized control-section R50-1-R50-n.

[0120] re--- sequence-ized control-section R50-1-R50-n accumulates the inputted cel in a re-sequence-ized cel buffer temporarily, performs control which will amend the cel sequence if there is a cel which cel sequence reversed, and outputs it to the output circuit corresponding point OCH51 - OCH5n after that.

[0121] by the way -- re--- control of the cel sequence in sequence-ized control-section R50-1-R50-n In sequence-ized control-section R50-1-R50-n since what is necessary is to carry out only to the cel belonging to a grouping connection -- re--- The logical administration object of a re-sequence-ized cel buffer is divided into the cel buffer for single connections, and the cel buffer for grouping connections.

To the cel buffer for single connections, FIFO control with the easy formation of re-sequence is performed, and re-sequence-ized control of a cel is performed to the cel buffer for grouping connections. A hard scale when such control performs re-sequence-ization of a cel is reducible.

[0122] Re-sequence-ized control of a cel divides the cel buffer for grouping connections logically for every grouping connection, and is realized by managing each according to an individual.

[0123] If this 3rd example is applied when the transmission speed of a high speed line IF 1 is about 4 to 16 times of the transmission speed of the low-speed circuit IF 2, the number of the grouping connections who can set up on one high speed line IF 1 at coincidence will fit about in four to 16. If it is a scale of this level, it will not become a serious failure when realizing this, even if it manages the cel buffer for grouping connections for every grouping connection.

[0124] It generates between the speech paths which carried out grouping, and the sequence inversion of the cel belonging to a grouping connection is not generated inside each speech path.

[0125] re--- re-sequence-ized control of the cel in sequence-ized control-section R50-1-R50-n uses this property.

[0126] namely, the cel buffer for grouping connections which carried out logic partitioning for every grouping connection -- further -- re--- if logic partitioning is carried out for every speech path connected to the input side of sequence-ized control-section R50-1-R50-n and FIFO management is performed to this cel buffer that carried out logic partitioning, re-sequence-ized control is realizable.

[0127] in this case -- since that control can apply easy FIFO control to re-sequence-ized control of a cel, without it causes increase of a hard scale -- re--- sequence-ized control-section R50-1-R50-n can be constituted.

[0128] drawing 5 -- re--- the configuration of a re-sequence-ized cel buffer in sequence-ized control-section R50-1-R50-n which carried out logic partitioning is shown.

[0129] As mentioned above, logic partitioning of the re-sequence-ized cel buffer is carried out to the cel buffer SBU for single connections, and the cel buffer BU for grouping connections, and logic partitioning of the cel buffer BU for grouping connections is further carried out for every speech path to every grouping connection at a duplex. Below, logic partitioning is carried out for every speech path to every grouping connection of this at a duplex, and a re-sequence-ized cel buffer is called the individual cel buffer for grouping connections.

[0130] in addition -- since the case where the number of the speech path which carried out grouping is "4" is shown in drawing 5 -- this individual cel buffer for grouping connections -- the object for the grouping connections 1 -- cel buffer BU1-1-BU 1-1 and the object for the -- grouping connections 4 -- it consists of cel buffer BU4-1-BU(s) 4-1.

[0131] The re-sequence-ized cel buffer shown in this drawing 5 is controlled by the write-in control section 501, the read-out control section 502, and the queuing control section 503.

[0132] re--- the cel which reached sequence-ized control-section R50-1-R50-n First, if this cel is a cel belonging to a single connection, it will be written in the cel buffer SBU for single connections by control of the write-in control section 501. The individual cel buffer for the grouping connections from the location of a speech path inputted as this connection when this cel was a cel belonging to a grouping connection, namely, the object for the grouping connections 1 -- cel buffer BU1-1-BU 1-1 and the object for the -- grouping connections 4 -- it is written in cel buffer BU4-1-BU 4-1.

[0133] In addition, when realizing as a common buffer with which the cel buffer SBU for single connections and the cel buffer BU for grouping connections share and use the physical cel buffer of a re-sequence-ized cel buffer, the write-in address to this cel buffer is gained from the null address queue registered into the address administration table installed in parallel with this cel buffer.

[0134] Read-out control of the cel from a re-sequence-ized cel buffer is controlled using the read-out control section 502 and the queuing control section 503.

[0135] In advance of read-out of the cel from a re-sequence-ized cel buffer, all grouping connections are judged about the ability of a cel to be read from the cel buffer BU for grouping connections, i.e., can a cel be read, without the inversion of cel sequence occurring?. the degree from the sequence number which is parallel to this judgment with write-in actuation of a cel, writes in a cel buffer, and is written in

the intermediate cel -- re--- the minimum value ESN of the sequence number of the following order which expects to reach sequence-ized control-section R50-1-R50-n (i) is computed for every grouping connection, and this value is used. Here, i of the minimum value ESN (i) is a grouping connection's identifier, and takes the value of i= 1, 2 and 3, and --.

[0136] The judgment of whether the cel belonging to the grouping connection i can read from a cel buffer The minimum sequence number MSN (i) in the corresponding minimum value ESN (i) and the cel currently written in the head of the individual cel buffer for grouping connections is compared. To the minimum value ESN (i), if the sequence number MSN (i) is smaller The cel with sequence number MSN (i) can be read, and conversely, to the minimum value ESN (i), if the sequence number MSN (i) is larger, read-out of this cel will be realized by forbidding.

[0137] After reading about all grouping connections and judging possibility, the cel currently written in the cel which can be read and the cel buffer SBU for single connections belonging to a grouping connection is read in round by turns.

[0138] as the cel read-out throughput from a cel buffer -- re-, if the number of the speech path connected to the input side of sequence-ized control-section R50-1-R50-n is expressed with g re--- g cel from the cel buffer SBU for single connections for every 1 cel period the cel period of the speech path of the input side of sequence-ized control-section R50-1-R50-n Moreover, from each individual cel buffer for grouping connections, if it constitutes so that it may have beforehand the throughput which reads one cel, the congestion of a cel will not occur with a re-sequence-ized cel buffer.

[0139] In addition, when realizing as a common buffer with which the cel buffer SBU for single connections and the cel buffer BU for grouping connections share and use the physical cel buffer of a re-sequence-ized cel buffer The read-out address from a cel buffer is gained from the applicable address queue registered into the address administration table installed in parallel with this cel buffer, and performs control which use finished after read-out completion of a cel and which reads and returns the address to a null address queue.

[0140] the grouping connection judged in the read-out control from the cel buffer BU for grouping connections to be the ban on read-out -- re--- queuing of read-out of a cel is performed until the cel expected from sequence-ized control-section R50-1-R50-n arrives and it can fulfill cel read-out conditions. This control is controlled by the queuing control section 503.

[0141] In addition, since there is risk of lapsing into cel congestion with a re-sequence-ized cel buffer when the cel which expects this arrival is discarded by temporary cel congestion of the internal routing section 100 etc., the control of which cel queuing is canceled is required of certain conditions. Cel queuing beyond fixed time amount using the timer started as this control approach after cel queuing is started can use the time-out control which is not performed and the queue length control of which cel queuing is canceled when the number of cels which is piling up in a re-sequence-ized cel buffer exceeds constant value.

[0142] re--- the output circuit corresponding point OCH51 which inputs the cel in which control of cel sequence was performed by sequence-ized control-section R50-1-R50-n - OCH5n perform predetermined physical layer processing and ATM layer processing to the cel, respectively, and outputs them to a high speed line IF 1.

[0143] Moreover, respectively predetermined physical layer processing and ATM layer processing are performed by the output circuit corresponding point OCH61 - OCH6n, and the cel style in which routing was carried out to the output side of the low-speed circuit IF 2 by the internal routing section 100 is outputted to the low-speed circuit IF 2.

[0144] Since the hardware which is needed in order to hold a high speed line IF 1, i.e., an I/O circuit corresponding point, the ATM separation section, and a re-sequence-ized control section can be localized only in the hold section of a high speed line IF 1 according to such a configuration, a high speed line can be held flexibly if needed, without the hard scale of the whole ATM system and cost making it increase.

[0145]

[Effect of the Invention] As explained above, according to this invention, separate an inputting-from

high-speed input circuit cel style in the ATM separation section in the style of [for every connection / two or more] a cel, and it inputs into the internal routing section with the cel style from a low-speed input circuit from two or more input speech paths. Carry out routing of the cel style inputted from said input speech path in the internal routing section, and it outputs from two or more output speech paths. Since two or more cel styles corresponding to the high-speed output circuit outputted from said output speech path were constituted so that it might multiplex in the ATM multiplexing section and might output to this high-speed output circuit the cel exchange approach and equipment in the ATM switching system which can hold a high speed line flexibly if needed are offered without causing a system-wide hard scale and increase of cost -- this -- it can **.

[0146] Moreover, the number of pass setup of the routing pass which the cel which belongs to the same connection of the cel style inputted from the input circuit in this invention passes is fluctuated corresponding to each connection's transmission speed. Since it constituted so that cel sequence might be amended and it might output to an output circuit only when there was possibility of an inversion of cel sequence by the change in this number of pass setup The hardware which is needed in order to hold a high speed line can be localized only in the hold section of a high speed line, and a high speed line can be held flexibly if needed, without the hard scale of the whole ATM system and cost making it increase.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The block diagram having shown the 1st example of the ATM switching system constituted with the application of the cel exchange approach and equipment in the ATM switching system concerning this invention.

[Drawing 2] The block diagram having shown the 2nd example of the ATM switching system concerning this invention whose line speed enables hold of the high speed line of 600Mbps(es) to the internal routing section [line speed] which can 32 hold the circuit of 150Mbps(es).

[Drawing 3] The block diagram having shown the 3rd example of the ATM switching system concerning this invention.

[Drawing 4] Drawing showing signs that the cel which belongs to the connection on whom transmission speed exceeds the line speed of a low-speed circuit in the example shown in drawing 3 is assigned in round to two or more speech paths in the ATM separation section.

[Drawing 5] Drawing having shown the configuration of a re-sequence-ized cel buffer in the re-sequence-ized control section in the example shown in drawing 3 which carried out logic partitioning.

[Drawing 6] The block diagram having shown an example of the conventional ATM switching system which makes various circuit hold gestalten possible while enabling hold of a high speed line.

[Drawing 7] The block diagram having shown other examples of the conventional ATM switching system which makes various circuit hold gestalten possible while enabling hold of a high speed line.

[Description of Notations]

11, 21, 14, 24 Physical layer processing section

12, 22, 13, 23 ATM layer processing section

100 Internal Routing Section

IF1 High speed line

IF2 Low-speed circuit

ICH11 - ICH1n, ICH21-ICH2m Input circuit corresponding point

OCH11 - OCH1n, OCH21-OCH2n Output circuit corresponding point

AD 10-1 - AD10-n ATM separation section

AM 10-1 - AM10-n ATM multiplexing section

ICH31, ICH32, ICH41-ICH416 Input circuit corresponding point

OCH31, OCH32, OCH41-OCH416 Output circuit corresponding point

AD 30-1, AD 30-2 ATM separation section

AM 30-1, AM 30-2 ATM multiplexing section

AM 40-1, AM 40-8 ATM multiplexing section

AD 40-1, 4D 30-8 ATM separation section

100-1 to 100-12 Unit switch

ICH51 - ICH5n, ICH61-ICH6m Input circuit corresponding point

OCH51 - OCH5n, OCH61-OCH6n Output circuit corresponding point

ICH Input circuit corresponding point

AD ATM separation section
501 Write-in Control Section
502 Read-out Control Section
503 Queuing Control Section
SBU Cel buffer for single connections
BU Cel buffer for grouping connections

[Translation done.]

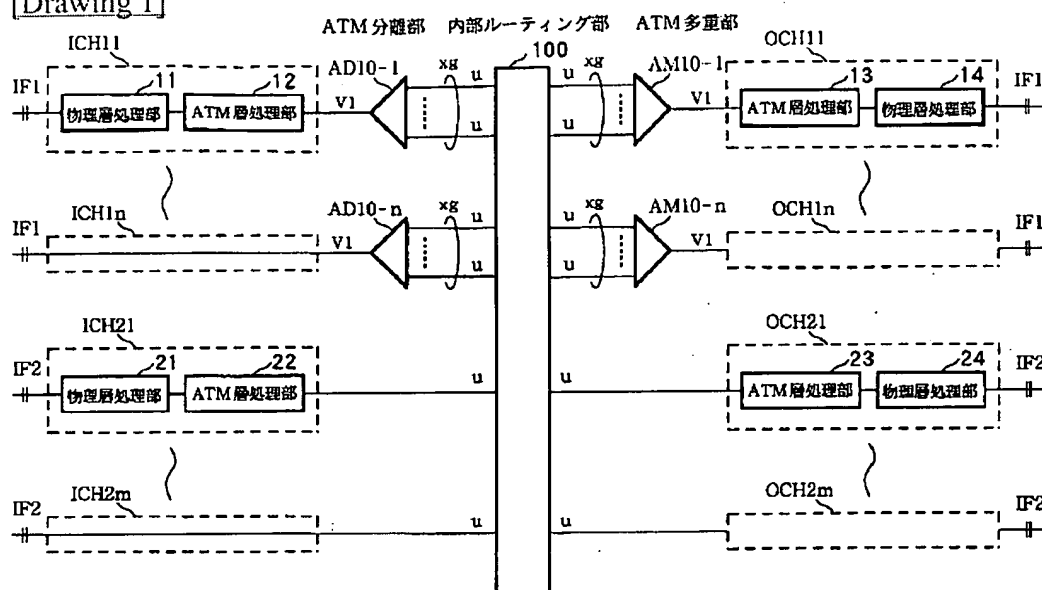
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

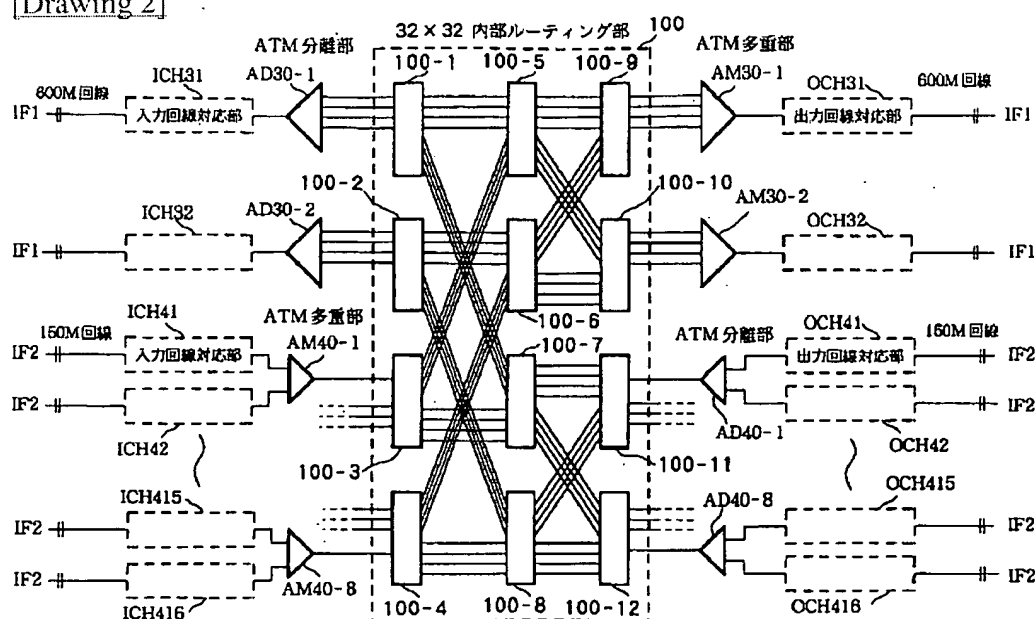
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

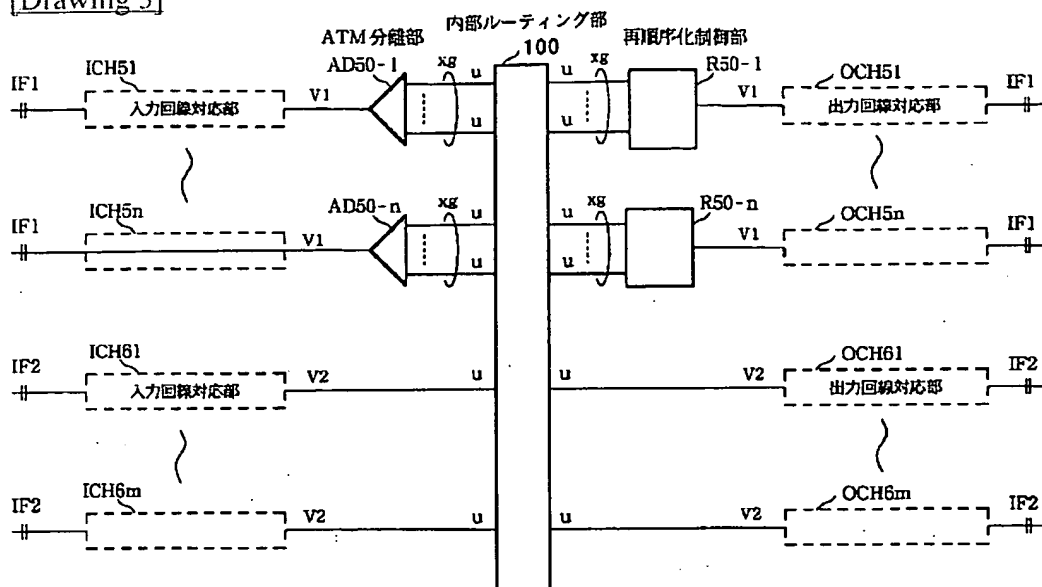
[Drawing 1]



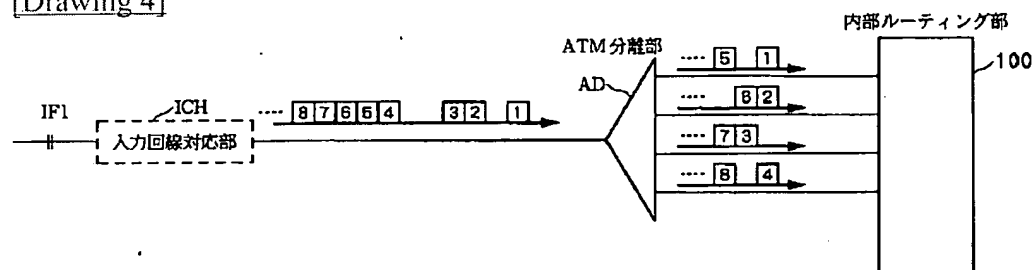
[Drawing 2]



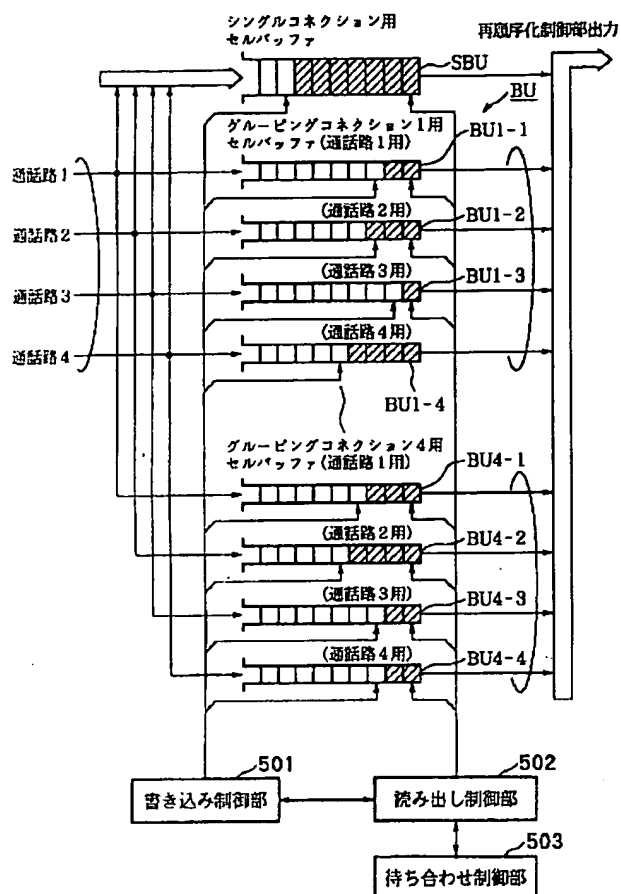
[Drawing 3]



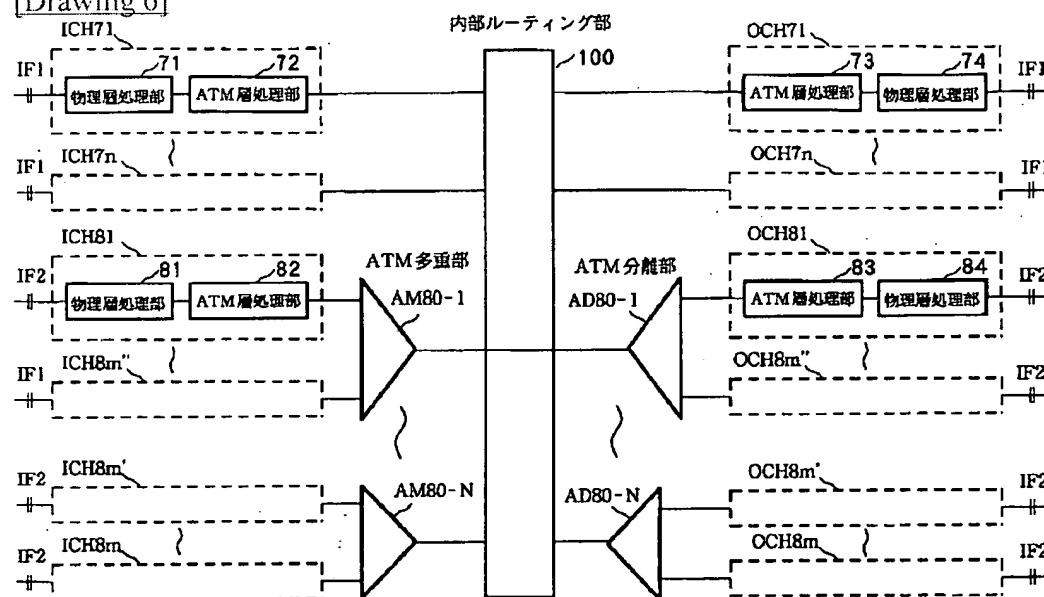
[Drawing 4]



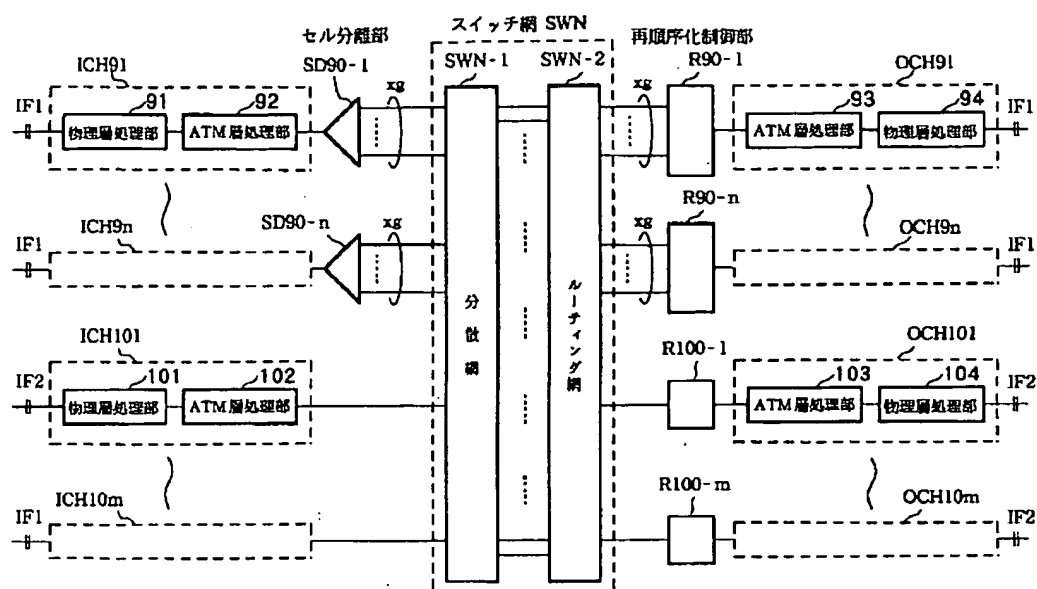
[Drawing 5]



[Drawing 6]



[Drawing 7]



[Translation done.]